



IRW

501.43645X00

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): A. KUROKAWA, et al.

Serial No.: 10/809,525

Filed: March 26, 2004

Title: A SEMICONDUCTOR DEVICE AND A METHOD OF  
MANUFACTURING THE SAME

**LETTER CLAIMING RIGHT OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

June 23, 2004

Sir:

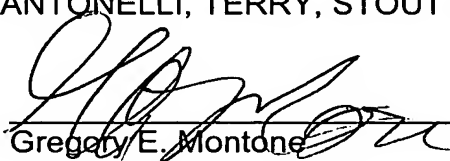
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby  
claim(s) the right of priority based on:

**Japanese Patent Application No. 2003-084220  
Filed: March 26, 2003**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Gregory E. Montone  
Registration No.: 28,141

GEM/rr  
Attachment

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月26日  
Date of Application:

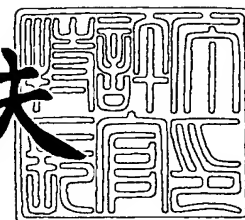
出願番号 特願2003-084220  
Application Number:  
[ST. 10/C]: [JP 2003-084220]

出願人 株式会社ルネサステクノロジ  
Applicant(s):

2004年 5月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3042784

【書類名】 特許願

【整理番号】 H03000191

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/72  
H01L 29/205

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 黒川 敦

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 稲川 浩巳

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 北原 敏昭

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 今村 慶憲

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

## 【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 (a) 半導体基板の上部の第 1 領域を囲む第 2 領域にパターンを形成する工程であって、

(b) 前記第 1 領域、前記第 2 領域を囲む第 3 領域、前記第 1 領域と前記第 3 領域とを接続する第 1 および第 2 接続部上に第 1 膜を形成する工程と、

(c) 前記 (b) 工程の後、前記半導体基板の上部に第 2 膜を形成する工程と

(d) 前記 (c) 工程の後、前記第 1 膜を除去することにより前記第 1 領域、前記第 3 領域、前記第 1 および第 2 接続部上の前記第 2 膜を除去し、前記第 2 領域上に前記第 2 膜よりなる 2 つのパターンを形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 膜は、フォトリソ膜であり、前記第 2 膜は導電性膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記第 1 領域と前記第 3 領域とは、前記第 1 および第 2 接続部を介して第 1 方向に接続され、

前記第 1 および第 2 接続部の前記第 1 方向と垂直な方向である第 2 方向の幅は、前記第 1 領域の前記第 2 方向の幅より小さいことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 (e) 前記第 2 膜は、導電性膜であり、前記 (d) 工程の後、前記 2 つのパターンを電氣的に接続する他の導電性膜を形成する工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記半導体基板もしくは前記 2 つのパターンの直下の膜は、化合物半導体よりなることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記半導体基板もしくは前記 2 つのパターンの直下の膜は、ガリウムヒ素 (GaAs) もしくはインジウム燐 (InP) よりなることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記第 2 膜は、金 (Au) を主成分とする膜であることを特

徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記半導体装置は、前記第 1 領域および第 2 領域に形成されたコレクタ層と、前記コレクタ層の前記第 1 領域上に形成されたベース層と、前記ベース層上に形成されたエミッタ層とを有するバイポーラトランジスタを有し、

前記 2 つのパターンは、前記コレクタ層の前記第 2 領域上に形成されたコレクタ電極であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 前記第 1 領域は、略円形もしくは円の一部を切り欠いた形状であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 10】 前記第 1 および第 2 接続部は、前記第 1 領域に対してほぼ対称の位置に配置されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 11】 (a) 第 1 領域、前記第 1 領域を囲む第 2 領域および前記第 2 領域を囲む第 3 領域を有する半導体基板と、

(b) 前記第 1 領域および第 2 領域に形成されたコレクタ層と、

(c) 前記コレクタ層上の前記第 1 領域に形成されたベース層と、

(d) 前記ベース層上に形成されたエミッタ層と、

(e) 前記コレクタ層上の前記第 2 領域に形成され、2 箇所の切り欠き部により分離された第 1 部と第 2 部よりなるコレクタ電極と、  
を有することを特徴とする半導体装置。

【請求項 12】 前記コレクタ層および前記ベース層は、ガリウムヒ素 (GaAs) よりなり、前記エミッタ層は、インジウムガリウム燐 (InGaP) もしくはアルミニウムガリウムヒ素 (AlGaAs) よりなり、

前記コレクタ電極は、金 (Au) を主成分とする膜よりなることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】 前記第 1 領域は、略円形もしくは円の一部を切り欠いた形状であることを特徴とする請求項 11 記載の半導体装置。

【請求項 14】 前記 2 箇所の切り欠き部は、前記第 1 領域に対してほぼ対称の位置に配置されていることを特徴とする請求項 11 記載の半導体装置。

【請求項 15】 (a) 第 1 主面と前記第 1 主面に対向する第 2 主面とを有する基板と、

(b) 前記第 1 主面上に形成された化合物半導体層と、

(c) 前記化合物半導体層上に形成された第 1 導電性膜と、

(d) 前記第 2 主面から前記第 1 導電性膜に到達する開口部と、

(e) 前記第 2 主面および前記開口部内に形成された第 2 導電性膜と、を有し

(f) 前記第 1 導電性膜を高融点金属、高融点金属の窒化物または高融点金属の珪素化物とすることを特徴とする半導体装置。

【請求項 16】 前記第 1 導電性膜は、タングステンシリサイド (W S i)、チタニウムタングステン (T i W) もしくはチタン (T i) であることを特徴とする請求項 15 記載の半導体装置。

【請求項 17】 前記化合物半導体層は、ガリウムヒ素 (G a A s) もしくはインジウム燐 (I n P) を含有する層であることを特徴とする請求項 15 記載の半導体装置。

【請求項 18】 (g 1) コレクタ層と、(g 2) 前記コレクタ層上に形成されたベース層と、(g 3) 前記ベース層上に形成されたエミッタ層と、(g 4) 前記コレクタ層、前記ベース層および前記エミッタ層とそれぞれ電氣的に接続されたコレクタ電極、ベース電極およびエミッタ電極とを有し、

(h) 前記第 1 導電性膜と前記エミッタ電極とは同じ材料よりなることを特徴とする請求項 15 記載の半導体装置。

【請求項 19】 (a) 第 1 主面と前記第 1 主面に対向する第 2 主面とを有する基板を準備する工程と、

(b) 前記第 1 主面上に化合物半導体層を形成する工程と、

(c) 前記化合物半導体層上に、高融点金属、高融点金属の窒化物または高融点金属の珪素化物よりなる第 1 導電性膜を形成する工程と、

(d) 前記第 2 主面から前記第 1 導電性膜に到達する開口部を形成する工程と

(e) 前記第 2 主面および前記開口部内に第 2 導電性膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 20】 前記 (d) 工程は、ウェット処理を有することを特徴とする請求項 19 記載の半導体装置の製造方法。

【請求項 21】 前記第 1 導電性膜は、タングステンシリサイド (W S i)、チタンタングステン (T i W) もしくはチタン (T i) であることを特徴とする請求項 19 記載の半導体装置の製造方法。

【請求項 22】 前記化合物半導体層は、ガリウムヒ素 (G a A s) もしくはインジウム燐 (I n P) を含有する層であることを特徴とする請求項 19 記載の半導体装置の製造方法。

【請求項 23】 (f 1) 前記第 1 主面に第 1 導電型の第 1 半導体領域を形成する工程と、(f 2) 前記第 1 半導体領域上に前記第 1 導電型と逆導電型である第 2 導電型の第 2 半導体領域を形成する工程と、(f 3) 前記第 2 半導体領域上に前記第 1 導電型の第 3 半導体領域を形成する工程と、(f 4) 前記第 1 から第 3 半導体領域とそれぞれ電氣的に接続された第 1 から第 3 電極を形成する工程とを有し、

(g) 前記第 3 電極は前記第 1 導電性膜と同じ工程で形成されることを特徴とする請求項 19 記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、いわゆるリフトオフ法によりパターンを形成する工程を有する半導体装置に適用して有効な技術に関するものである。

##### 【0002】

#### 【従来の技術】

例えばガリウムヒ素 (G a A s) 等の III-V 族化合物半導体を用いた半導体素子がある。このような化合物半導体は、S i (シリコン) に比べて移動度が大きく、半絶縁性結晶が得られること、混晶を造ることが可能で、それを用いてヘテロ接合を形成できる等の特徴を有する。



**【0003】**

例えば、ガリウムヒ素を用いたヘテロ接合バイポーラトランジスタ（HBT: Hetero-junction Bipolar Transistor）は、GaAsをベース層に、InGaP（インジウムガリウムリン）もしくはAlGaAs（アルミニウムガリウムヒ素）等の異種半導体をエミッタ層に用いたバイポーラトランジスタである。このように、ヘテロ接合（異種接合）を用い、エミッタベース接合のエミッタ禁制帯幅をベースより大きくすることにより、電流増幅率を大きくする等、トランジスタ特性を向上させることができる。

**【0004】**

例えば、特許文献1には、GaAsをベース層に、InGaPをエミッタ層に用いたHBTが開示されている。また、本文献では、エミッタコンタクト層（16）を略環状構造としている。また、エミッタ電極（17）の形状を工夫し、ベース電極（19）の引き出し配線を形成する場合に、配線がエミッタ電極（17）を跨ぐ必要がないようにしている。

**【0005】**

また、特許文献2には、ベース層（3）及びエミッタ層（4）の平面形状が円形のGaAsを用いたHBTが開示されている。

**【0006】**

また、特許文献3には、GaAsを用いたHBTが開示されており、基板の裏面にはバイアホールおよび基板裏面被着金属膜が形成されている。

**【0007】****【特許文献1】**

特開2001-189319号公報（[0034]、図4）

**【0008】****【特許文献2】**

特開2002-246587号公報（[0041]、図17）

**【0009】****【特許文献3】**

特開2000-277530号公報（要約、図1）

## 【0010】

## 【発明が解決しようとする課題】

本発明者らは、GaAsを用いたHBTについて検討している。例えばn型GaAsをコレクタ領域に、p型GaAsをベース領域に、n型InGaPをエミッタ領域としたHBTの研究、開発を行っている。

## 【0011】

上記各領域上には、それぞれの領域を引き出すための電極（配線）が形成される。このような電極は、エッチング技術を用いて形成されることもあるが、電極として例えば金（Au）を用いる場合には、加工（エッチング）が難しい等の理由から、リフトオフ法を用いてパターンが形成される。例えば、Auのような金属は、化学的にエッチングするガスや液が少なく、また、物理的にエッチングしようとする場合、下層の層とのエッチング選択比が取り難い。

## 【0012】

このリフトオフ法は、パターン形成を予定している領域以外にフォトリジスト膜を形成し、全面に所望の膜を形成した後、前記フォトリジストを除去すると共にその上部の膜も除去し、前記領域にのみパターンを残存させる方法である。このような方法によれば、エッチング液（エッチングガス）が無いような金属や、また、下層の膜とのエッチングの選択比が取り難い金属の加工が可能となる。

## 【0013】

しかしながら、本発明者らが検討した結果、本来除去されるべき膜が残存し、所望の形状のパターンが形成されないといった問題が見出された。かかる問題については、図24および図25を参照しながら追って詳細に説明する。

## 【0014】

また、本発明者らが検討しているHBTにおいては、エミッタ引き出し電極を半導体基板の裏面電極と電気的に接続している。この際、エミッタ引き出し電極のインダクタンス成分を最小に抑えるため、半導体基板の裏面からエミッタ引き出し電極まで到達するビアホールを形成した後、ビアホール内を含む半導体基板の裏面に電極を形成している。

## 【0015】

しかしながら、本発明者らが検討した結果、前記ビアホール形成の際、サイドエッチングが生じることがわかった。このサイドエッチング部には、裏面電極が形成され難く、ボイド（空洞、隙間）が生じる。このため、裏面電極の密着性が悪くなり、剥がれの原因となる。

#### 【0016】

また、サイドエッチングが生じた場合には、この部分で裏面電極が薄くなり、断線しやすい。また、断線に至らない場合でも、配線抵抗の上昇やエレクトロマイグレーション耐性の劣化が生じる。このように、裏面電極の信頼性が劣化するという問題が見出された。

#### 【0017】

本発明の目的は、バイポーラトランジスタの特性を向上させる技術を提供することにある。

#### 【0018】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0019】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

#### 【0020】

本発明の半導体装置の製造方法は、（a）半導体基板の上部の第1領域を囲む第2領域にパターンを形成する工程であって、（b）前記第1領域、前記第2領域を囲む第3領域、前記第1領域と前記第3領域とを接続する第1および第2接続部上に第1膜を形成する工程と、（c）前記（b）工程の後、前記半導体基板の上部に第2膜を形成する工程と、（d）前記（c）工程の後、前記第1膜を除去することにより前記第1領域、前記第3領域、前記第1および第2接続部上の前記第2膜を除去し、前記第2領域上に前記第2膜よりなる2つのパターンを形成する工程と、を有するものである。

#### 【0021】

本発明の半導体装置は、(a) 第1領域、前記第1領域を囲む第2領域および前記第2領域を囲む第3領域を有する半導体基板と、(b) 前記第1領域および第2領域に形成されたコレクタ層と、(c) 前記コレクタ層上の前記第1領域に形成されたベース層と、(d) 前記ベース層上に形成されたエミッタ層と、(e) 前記コレクタ層上の前記第2領域に形成され、2箇所の切り欠き部により分離された第1部と第2部よりなるコレクタ電極と、を有するものである。

#### 【0022】

本発明の半導体装置は、(a) 第1主面と前記第1主面に対向する第2主面とを有する基板と、(b) 前記第1主面上に形成された化合物半導体層と、(c) 前記化合物半導体層上に形成された第1導電性膜と、(d) 前記第2主面から前記第1導電性膜に到達する開口部と、(e) 前記第2主面および前記開口部内に形成された第2導電性膜と、を有し、(f) 前記第1導電性膜を高融点金属、高融点金属の窒化物または高融点金属の珪素化物とするものである。

#### 【0023】

本発明の半導体装置の製造方法は、(a) 第1主面と前記第1主面に対向する第2主面とを有する基板を準備する工程と、(b) 前記第1主面にトランジスタを構成する化合物半導体層を形成する工程と、(c) 前記化合物半導体層上に、高融点金属、高融点金属の窒化物または高融点金属の珪素化物よりなる第1導電性膜を形成する工程と、(d) 前記第2主面から前記第1導電性膜に到達する開口部を形成する工程と、(e) 前記第2主面および前記開口部内に第2導電性膜を形成する工程と、を有するものである。

#### 【0024】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

#### 【0025】

以下、本実施の形態の半導体装置(HBT)の構造およびその製造工程を説明する。図1～図22は、本実施の形態の半導体装置の製造方法を示す基板の要部

断面図もしくは要部平面図である。

#### 【0026】

まず、本実施の形態の半導体装置（HBT）の構造について説明する。なお、後述する製造方法の説明により、その構造がより明確となると思われるため、ここでは、特徴的な構成について説明する。

#### 【0027】

図14および図16に示すように、本実施の形態の半導体装置（HBT）は、円の一部分を切り欠いた形状のベースメサ4aを有する。このベースメサ4aは、p型GaAs層よりなる。このベースメサ4aの上部には、n型InGaP（エミッタ層）5が位置し、ベースメサ4aの下部には、n型GaAs層（コレクタ層）3が位置する。

#### 【0028】

ベースメサ4aの中心部には、ベース電極8が形成され、n型InGaP（エミッタ層）5上には、ベース電極8を囲むように、上部エミッタ層6およびエミッタ電極7が形成されている。

#### 【0029】

さらに、ベースメサ4aの周囲には、金（Au）等よりなるコレクタ電極9aが形成され、このコレクタ電極9aは、n型GaAs層（コレクタ層）3とn<sup>+</sup>型GaAs層（サブコレクタ層）2を介して電氣的に接続されている。このn型GaAs層（コレクタ層）3とn<sup>+</sup>型GaAs層（サブコレクタ層）2とを併せてコレクタ層と考えることもできる。

#### 【0030】

ここで、コレクタ電極9aは、ベースメサ4aの周囲を完全に囲むパターンではなく、2箇所の切り欠き部20a、20bにより分離された第1部と第2部との対よりなるパターンとなっていることである。なお、この切り欠き部20a、20bのX方向の幅は、4μm程度である。また、この切り欠き部20a、20bのX方向の幅は、ベースメサ4aのX方向の最大幅より小さく、第1部のパターンは、略C字状、第2部のパターンは、逆C字状となっている。言い換えれば、Y方向に延在する部分とその両端からX方向に延在する部分を有するパターン

の対となる。第1部と第2部との対よりなるパターンは、コレクタ引き出し配線 M1c によって電氣的に接続される（図17、図18参照）。また、この切り欠き部 20a、20b のX方向の幅は、最小加工寸法（フォトリソグラフィの解像限界幅）程度であってもよい。このように切り欠き部 20a、20b のX方向の幅を小さくすることで、コレクタ電極 9a が大きくなり、素子特性が向上する。

#### 【0031】

また、この切り欠き部 20a、20b は、ベースメサ 4a に対し、ほぼ対称に配置されている。また、この切り欠き部 20a、20b の一方の上部には絶縁膜を介してベース引き出し配線 M1b が形成されている（図18参照）。

#### 【0032】

また、図22に示すように、裏面ビア電極 7v は、エミッタ電極 7 と同じ層に位置し、ビアホール V H が裏面ビア電極 7v 上の第1層配線 M1v まで到達している。このビアホール V H の内部を含む半絶縁性 GaAs 基板 1 の裏面には裏面電極（裏面配線）40 が形成されている。

#### 【0033】

次いで、本実施の形態の半導体装置（HBT）をその製造工程に従って説明する。

#### 【0034】

図1に示すように、厚さ約 600  $\mu$ m の半絶縁性 GaAs 基板（以下単に「基板」という）1 上に、有機金属気相成長（MOCVD: metal organic chemical vapor deposition）法により、n<sup>+</sup>型 GaAs 層（サブコレクタ層）2 を約 700 nm 成長させる。次いで、その上部に 700 nm 程度の n 型 GaAs 層（コレクタ層）3 および 100 nm 程度の p 型 GaAs 層（ベース層）4 を順次 MOCVD 法で形成する。

#### 【0035】

次いで、35 nm 程度の n 型 InGaP（エミッタ層）5 を MOCVD 法で堆積し、さらに、その上部に上部エミッタ層 6 を 400 nm 形成する。この上部エミッタ層 6 は、n 型 GaAs 層とその上部の n 型 InGaAs 層との積層膜より

なる。6中のn型InGaAs層は、後述するエミッタ電極7とのオーミックコンタクトを図るために用いられる。

#### 【0036】

このように、ベース層（p型GaAs層）4とエミッタ層（n型InGaP）5とに異種の半導体（ヘテロ接合）を用いる。

#### 【0037】

次いで、導電性膜として例えばタングステンシリサイド（WSi）膜を例えばスパッタ法を用いて300nm程度堆積する。次いで、フォトリソグラフィおよびドライエッチング技術を用いてWSi膜を加工し、エミッタ電極7および裏面ビア電極7vを形成する。

#### 【0038】

図2は、エミッタ電極7等の形成後の要部平面図である。図2に示すように、エミッタ電極7は、弧と弦よりなる領域にその中心部を除き形成される。言い換えれば、ドーナツ状の領域の一部を切り欠いた形状である。エミッタ電極7が形成されない略円形の領域内には、ベース電極が形成される。なお、図中の矩形状の一点鎖線は1つのHBTが形成される領域を示す。図2においては、2つのHBT形成領域しか記載していないが、図21等に示すように、複数のHBTが形成されるブロックが存在し、裏面ビア電極7vは、このブロック間に形成される。

#### 【0039】

次いで、図3に示すように、エミッタ電極7および裏面ビア電極7vをマスクに、上部エミッタ層6をウエットエッチングし、n型InGaP（エミッタ層）5を露出させる。なお、この際、n型InGaP（エミッタ層）5をエッチングし、p型GaAs層（ベース層）4を露出させてもよい。

#### 【0040】

次いで、図4に示すように、下層から白金（Pt）、チタン（Ti）、モリブデン（Mo）、Tiおよび金（Au）の積層膜よりなるベース電極8を形成する。その厚さは例えば300nm程度である。このベース電極8は、例えば、リフトオフ法により形成することができる。リフトオフ法については、追って詳細に

説明する。その後、熱処理（アロイ処理）を施すことにより、ベース電極 8 の下層の P 型 InGaP（エミッタ層）5 および p 型 GaAs 層（ベース層）4 を反応させる。この反応部によりベース電極 8 と p 型 GaAs 層（ベース層）4 とをオーミック接続することができる。

#### 【0041】

その後、図 5 に示すように、フォトリソグラフィーおよびウエットエッチング技術を用いて、n 型 InGaP（エミッタ層）5 および p 型 GaAs 層（ベース層）4 をエッチングし、ベースメサ 4a を形成する。図中の BMA は、ベースメサ 4a の形成領域を示す。エッチング液として、例えばリン酸と過酸化水素との混合水溶液を用いる。このエッチングにより n 型 InGaP（エミッタ層）5 およびベースメサ 4a が各トランジスタ毎に分離する。

#### 【0042】

ベースメサ 4a の形成領域（BMA）は、図 6 に示すように、円を切り欠いた形状である。言い換えれば、その中心角が 180 度以上の弧とその両端を結ぶ弦よりなる形状となる。また、その中心部（ベース電極 8）以外の領域は、n 型 InGaP（エミッタ層）5 と p 型 GaAs 層（ベース層）4 との p-n 接合部となる。

#### 【0043】

ここで、高周波特性の観点からは、同一のエミッタ層の面積に対し、ベース層とコレクタ層の接合容量  $C_{bc}$  が低い方が好ましい。即ち、同一のエミッタ層の面積に対し、ベースメサの形成領域が相対的に小さいほど好ましい。

#### 【0044】

従って、本実施の形態のように、エミッタ層 5 の外周とほぼ同じ大きさにベースメサ 4a を形成することで、エミッタ層 5 に対するベースメサ 4a の形成領域を小さくでき、接合容量  $C_{bc}$  を下げることができる。

#### 【0045】

このベースメサ 4a のほぼ中心部上にベース電極 8 が位置し、ベースメサ 4a 上であって、ベース電極 8 の外周部にエミッタ電極 7（上部エミッタ層 6）が位置する。



## 【0046】

また、ベースメサ4aの形成の際、裏面ビア電極7vの周囲のn型InGaP（エミッタ層）5およびp型GaAs層（ベース層）4もエッチング除去する。

## 【0047】

さらに、このp型GaAs層（ベース層）4等のエッチングの際、その下層のn型GaAs層（コレクタ層）3も300nm程度エッチングする。

## 【0048】

次いで、図7に示すように、基板1上に絶縁膜（例えば酸化シリコン膜）13aを100nm程度堆積する。この絶縁膜13aは、ベース電極8を保護するために形成するが、省略することも可能である。

## 【0049】

次いで、選択的に絶縁膜13aおよびn型GaAs層（コレクタ層）3をエッチングすることによりn<sup>+</sup>型GaAs層（サブコレクタ層）2の一部を露出させる。この露出領域をOA1とする。図8は、領域OA1形成後の要部平面図である。

## 【0050】

この領域OA1にリフトオフ法によりコレクタ電極を形成する工程について以下に説明する。

## 【0051】

まず、図9に示すように、基板1の全面にフォトリソグレイス膜（以下、単に「レジスト膜」という）Rを形成し、フォトリソグラフィ工程により領域OA1上のレジスト膜Rを除去する。その結果、領域OA1のn<sup>+</sup>型GaAs層（サブコレクタ層）2が露出する。但し、レジスト膜Rの開口部OA2を領域OA1より小さくする（図10）。言い換えれば、レジスト膜Rをその下層の層である絶縁膜13aやn型GaAs層（コレクタ層）3の端部から張り出させる（オーバーハング状態とする）。なお、レジスト膜Rを逆テーパー状としてもよい。

## 【0052】

次いで、図11～図13に示すように、基板1の全面に下層から金ゲルマニウム（AuGe）、ニッケル（Ni）およびAuを順次形成し、これらの積層膜9

、9aを形成する。なお、図12は、領域OA1近傍の部分拡大図であり、図13は、積層膜9、9a形成後の要部平面図である。

#### 【0053】

図示するように、レジスト膜Rの上部および開口部OA2内に上記積層膜9、9aが形成される。また、レジスト膜Rをオーバーハング状態としたので、絶縁膜13aやn型GaAs層（コレクタ層）3の側壁には、積層膜9は堆積しない。また、レジスト膜Rの下面が絶縁膜13aの端部から露出している。

#### 【0054】

次いで、剥離液（エッチング液）によってレジスト膜Rを除去する。この際、レジスト膜Rの下面の露出部から剥離液が入り込み、レジスト膜Rを溶かす（図12）。このようにレジスト膜Rが除去されると、その上部の積層膜9も剥離され、開口部OA2内（領域OA1上）にのみ積層膜が残存し、コレクタ電極9aとなる。コレクタ電極9a形成後の要部平面図を図14に、要部断面図を図16に示す。

#### 【0055】

ここで、重要なことは、本実施の形態においては、コレクタ電極9aのパターンに2箇所の切り欠き部（パターンの欠けた部分、20a、20b）を設けたことである。この切り欠き部（20a、20b）は、レジスト膜R（積層膜9）の接続部とも言える（図10、図13参照）。即ち、領域OA1の外周（第3領域）とベースメサ4aが形成された領域（第1領域）との接続部（20a、20b）上にもレジスト膜R（積層膜9）を形成した結果、切り欠き部が形成される。コレクタ電極9aのパターンは、切り欠き部によって分離され、第1部と第2部よりなる2つのパターンとなる（図14参照）。

#### 【0056】

このように、本実施の形態によれば、ベースメサ4a上の積層膜9が孤立パターンとならず、領域OA1の外周部の積層膜9と連結される。その結果、積層膜9が剥離しやすくなる。図15に、複数のHBT形成領域（ブロック）上の積層膜9の状態を示す。

#### 【0057】

例えば、図 23 に示すように、コレクタ電極 9 a のパターンに切り欠き部を設けない場合には、ベースメサ 4 a 上の積層膜 9 が孤立パターンとなり、剥離し難くなる（図 24）。

#### 【0058】

即ち、除去される積層膜 9 のパターンの周辺長が長いほど剥離されやすい。しかしながら、孤立した D 形のパターンとなるとその周辺長が短くなり、積層膜 9 が残存しやすくなる。

#### 【0059】

また、本実施の形態のように、切り欠き部を 2 箇所設けることで、ベースメサ 4 a 上の積層膜 9 の残存を防止しやすくなる。例えば、図 25 に示すように、1 箇所の切り欠き部を設けた場合は、切り欠き部と反対側の領域に積層膜 9 が残存しやすい。

#### 【0060】

これは、比較的大きいパターンである領域 OA 1 の外周部の積層膜 9 が剥離する力でレジスト膜 R と積層膜 9 との間に隙間ができ、さらに、剥離が進む。このような剥離の進行の起点が 2 箇所ある場合には、ベースメサ 4 a 上の積層膜 9 の剥離が容易になる。また、その起点がベースメサ 4 a のパターンに対して、それぞれ対向する位置（反対側の位置）にあれば、よりベースメサ 4 a 上の積層膜 9 の剥離が容易になる（図 15 参照）。

#### 【0061】

なお、2 箇所の切り欠き部は、常に、正反対の位置、即ち、HBT 形成領域の中心に対して両側にある必要はない。例えば、2 箇所の切り欠き部と、HBT 形成領域の中心部とを結ぶ線のなす角が 90 度以上であればよい。また、2 箇所以上の切り欠き部を設けてもよい。

#### 【0062】

また、2 箇所の切り欠き部のうち、1 箇所をベースメサ 4 a の領域の弦の部分に配置すれば、後述するベース引き出し配線 M1 b を形成しやすくなる。また、ベース引き出し配線 M1 b とコレクタ引き出し配線 M1 c（コレクタ電極 9 a）との間の寄生容量を低減することができる。

**【0063】**

次いで、図16に示すように、絶縁膜13aを除去し、コレクタ電極9aの外側のn型GaAs層（コレクタ層）3およびn<sup>+</sup>型GaAs層（サブコレクタ層）2をエッチングし、各トランジスタを電氣的に分離する。この際、裏面ビア電極7vの周囲のn型GaAs層（コレクタ層）3およびn<sup>+</sup>型GaAs層（サブコレクタ層）2も除去する。

**【0064】**

なお、トランジスタ間の分離は、コレクタ電極9aの外側のn<sup>+</sup>型GaAs層（サブコレクタ層）2にp型の不純物を打ち込むことにより行ってもよい（pn分離）。

**【0065】**

次いで、図17に示すように、基板1上に酸化シリコン膜等の絶縁膜13bをCVD法で堆積する。なお、絶縁膜13aを残存させたまま、分離のためのn型GaAs層（コレクタ層）3およびn<sup>+</sup>型GaAs層（サブコレクタ層）2のエッチングを行い、絶縁膜13a上に絶縁膜13bを形成してもよい。

**【0066】**

次いで、エミッタ電極7、ベース電極8およびコレクタ電極9a上の絶縁膜13bを除去し、接続孔を形成する。次いで、前記接続孔内を含む絶縁膜13b上に導電性膜として例えばモリブデン（Mo）、AuおよびMoの積層膜（以下、「Mo/Au/Mo膜」という）を堆積する。次いで、Mo/Au/Mo膜をエッチングすることによりエミッタ引き出し配線M1e、ベース引き出し配線M1bおよびコレクタ引き出し配線M1cを形成する。また、この際、裏面ビア電極7v上に配線M1vを形成する。これらの配線を第1層配線とする。図18に、第1層配線形成後の要部平面図を示す。この際、切り欠き部（20b）上にベース引き出し配線M1bを配置することで、ベース引き出し配線M1bがコレクタ電極9aに起因する凹凸を横切ることがない。

**【0067】**

次いで、図19に示すように、第1層配線（M1e、M1b、M1c、M1v）上に酸化シリコン膜等の絶縁膜13cを例えばCVD法で堆積する。次いで、

エミッタ引き出し配線M1e上の絶縁膜13cを除去し、接続孔を形成する。次いで、前記接続孔内を含む絶縁膜13c上に導電性膜として例えばMo/Au/Mo膜を堆積し、Mo/Au/Mo膜をエッチングすることによりエミッタ引き出し配線（第2層配線）M2eを形成する。図20および図21に、第2層配線形成後の要部平面図を示す。図示するように、エミッタ引き出し配線M2eは、裏面ビア電極7v上まで延在している。例えば、図19は、図21のA-A断面部に対応する。なお、エミッタ引き出し配線M2eの幅を広くし、エミッタ引き出し配線M1eを覆うように形成してもよい。また、VHは、後述するビアホールを示す。

#### 【0068】

次いで、図22に示すように、第2層配線（M2e）上に酸化シリコン膜等の絶縁膜13dを堆積する。

#### 【0069】

次いで、必要に応じて抵抗素子や容量素子等を基板1上の図示しない領域に形成し、基板表面を保護膜で覆う。

#### 【0070】

次いで、上記保護膜側（素子形成面）を下側とし、基板1の裏面を研磨することによりその厚さを70～100 $\mu$ mとする。次いで、図示しないレジスト膜をマスクに、第1層配線M1v上の基板1、n<sup>+</sup>型GaAs層（サブコレクタ層）2、n型GaAs層（コレクタ層）3、p型GaAs層（ベース層）4、n型InGaP（エミッタ層）5および上部エミッタ層6をエッチングすることによりビアホールVHを形成する。このエッチングは、例えばドライエッチング法を用いて行われ、その後、ドライエッチング時に生成した堆積物をウエット処理により除去する。このウエット処理には、例えば、アンモニアと過酸化水素の混合液を用いる。

#### 【0071】

また、この際、第1層配線M1vをエッチングストッパーとし、裏面ビア電極（WSi）7vもエッチングする。また、第1層配線（Mo/Au/Mo膜）M1vの下層に位置するMoもエッチングする。従って、ビアホールVHの周囲に

は、裏面ビア電極 (WSi) 7v および Mo が環状に位置する。言い換えれば、ビアホール VH の横に裏面ビア電極 (WSi) 7v と Mo の積層膜が残存する。

#### 【0072】

次いで、ビアホール VH 内を含む基板 1 の裏面上に金属膜として Au を例えばメッキ法により形成し、裏面電極 40 を形成する。この裏面電極 40 は、第 1 層配線 M1v を構成する Au の部分と接触するため接触抵抗が低減される。また、Au 自身は低抵抗材料のため、裏面電極 40 との接続用の配線 (この場合、M1v、M2e) に用いて好適である。この他、Au/Mo/WSi や Au/Pt/Ti 等を配線として用いてもよい。

#### 【0073】

このように、本実施の形態によれば、WSi のような上部エミッタ層 6 を構成する n 型 GaAs 層や n 型 InGaAs 層と反応し難い材料を用いて裏面ビア電極 7v を形成したので、ビアホール VH を形成する際のサイドエッチングの発生を低減できる。また、上部エミッタ層 6 を構成する n 型 GaAs 層や n 型 InGaAs 層と反応し難い材料で形成される電極 (この場合、エミッタ電極 7) と同じ工程で裏面ビア電極 7v を形成したので、工程を簡略化できる。

#### 【0074】

例えば、図 26 に示すように、裏面ビア電極 17v を、コレクタ電極 (AuGe/Ni/Au) と同じ工程で形成することも可能である。

#### 【0075】

しかしながら、この場合 n 型 GaAs 層や n 型 InGaAs 層と裏面ビア電極 17v の最下層の AuGe が接触することとなり、接触部に反応層が形成される (アロイ化)。

#### 【0076】

この反応層は、上記ウエット処理で用いられるエッチング液 (例えば、アンモニアと過酸化水素の混合液) によりエッチングされやすく、ビアホールの底部においてサイドエッチングが生じる。このサイドエッチング部を F とする。この後、裏面電極 40 を形成すると、サイドエッチング部 F が空洞となり、また、裏面ビア電極 17v や裏面電極 40 が剥がれやすくなる。

## 【0077】

また、最下層のAuGeと半導体との反応層は、比較的脆い層となっている。このため上記ウエット処理を行わず、サイドエッチング部を発生させない場合でも、機械的な力に弱く裏面ビア電極17vが剥がれやすい問題がある。

## 【0078】

また、図27に示すように、サイドエッチング部Fで裏面電極40が薄くなり、ひどい場合には断線に至る。また、裏面電極40が薄い場合には、電極抵抗の増加やエレクトロマイグレーション特性の劣化が生じる。このように、裏面電極40の信頼性が低下する。

## 【0079】

これに対し、本実施の形態によれば、サイドエッチングの発生を低減でき、また裏面ビア電極の半導体との接着性を改善でき、裏面電極の信頼性を向上することができる。

## 【0080】

なお、本実施の形態においては、化合物半導体層と反応し難くかつ半導体との接着性の良い材料（非アロイ化材料）としてWSiを用いたが、高融点金属、高融点金属の窒化物または高融点金属の珪素化物を用いることができる。例えば高融点金属であるTi、W、Ta、Mo等もしくは高融点金属の化合物であるチタンタングステン（TiW）等を用いてもよい。また、高融点金属の窒化物（例えばTiN等）や高融点金属の珪素化物（例えばTiSi、TaSi、MoSi等）を用いてもよい。

## 【0081】

また、エミッタ電極7と同じ工程で形成する場合には、下層からTi/Pt/Auの積層膜等を用いてもよい。もちろん、裏面ビア電極7vとエミッタ電極7を異なる材料で別の工程で形成してもよい。

## 【0082】

なお、本実施の形態においては、図14等を参照して説明したパターン形状のトランジスタについて説明したが、かかる形状に限定されるものではなく、例えば、図28に示すように、円形状としてもよい。

## 【0083】

但し、図18および図20を参照しながら説明したように、エミッタ引き出し配線M1eやM2eとエミッタ電極7との接触領域を大きくすることで、エミッタ電極の抵抗を下げることができる。例えば、配線のシート抵抗は $0.04\Omega/\square$ 、エミッタ電極(WSi)のシート抵抗は $6\Omega/\square$ である。

## 【0084】

しかしながら、ベース引き出し配線M1b部は、エミッタ引き出し配線を形成することができず、数 $\Omega$ の寄生抵抗がエミッタ層と直列に接続されるため、エミッタ電極7の抵抗が上昇する。よって、エミッタ層の抵抗を下げるためには、図14等に応示するように、ベース電極の引き出し側を切り欠いた形状とすることが望ましい。

## 【0085】

また、図29に示すように矩形状のパターンとしてもよい。例えば、図29に示す矩形状のパターンとした場合、ベースメサ4a上には、ライン状のエミッタ電極7とベース電極8が形成され、ベースメサ4aを囲むコレクタ電極9aは、Y方向に延在する部分とその両端からX方向に延在する部分を有するパターンの対となる。なお、Cは、ベース電極8上のコンタクト部である。

## 【0086】

また、前記実施の形態においては、npn型のバイポーラトランジスタについて説明したが、pnp型のバイポーラトランジスタにも本発明を適用可能である。また、GaAs基板上に形成されたバイポーラトランジスタについて説明したが、他の化合物半導体を用いてもよい。

## 【0087】

本発明は、孤立パターンを有する半導体装置に広く適用可能である。特に、環状構造のバイポーラトランジスタは、孤立パターンが生じやすく、本発明を用いて好適である。

## 【0088】

また、本発明は、裏面電極と表面配線とを接続するビアホールを有する半導体装置に広く適用可能である。特に、GaAsおよびInP基板は半絶縁性部を有



する場合があります、前記ビアホールが形成される構造となることが多く、本発明を用いて好適である。

#### 【0089】

また、前記実施の形態においては、GaAs 基板を用いエミッタ半導体層が InGaP の場合について説明したが、GaAs 基板を用いエミッタ半導体層が AlGaAs (アルミニウムガリウムヒ素) 層の場合の HBT についても、同一の電極材料を使用することができ、本発明を用いて好適である。

また、InP (インジウムリン) 基板を用いた HBT においても、コレクタ電極に Au を含む金属層をリフトオフ法で形成することができ、本発明を用いて好適である。

#### 【0090】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0091】

##### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

#### 【0092】

バイポーラトランジスタの特性を向上させることができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の一実施の形態の半導体装置 (HBT) の製造方法を示す基板の要部断面図である。

##### 【図2】

本発明の一実施の形態の半導体装置 (HBT) の製造方法を示す基板の要部平面図である。

##### 【図3】

本発明の一実施の形態の半導体装置 (HBT) の製造方法を示す基板の要部断

面図である。

【図 4】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 5】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 6】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 7】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 8】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 9】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 1 0】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 1 1】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 1 2】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 1 3】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 1 4】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 1 5】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 1 6】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 1 7】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 1 8】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 1 9】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

【図 2 0】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 2 1】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部平面図である。

【図 2 2】

本発明の一実施の形態の半導体装置（H B T）の製造方法を示す基板の要部断面図である。

**【図 2 3】**

本発明の効果を説明するための半導体装置（HBT）の製造方法を示す基板の要部平面図である。

**【図 2 4】**

本発明の効果を説明するための半導体装置（HBT）の製造方法を示す基板の要部平面図である。

**【図 2 5】**

本発明の効果を説明するための半導体装置（HBT）の製造方法を示す基板の要部平面図である。

**【図 2 6】**

本発明の効果を説明するための半導体装置（HBT）の製造方法を示す基板の要部断面図である。

**【図 2 7】**

本発明の効果を説明するための半導体装置（HBT）の製造方法を示す基板の要部断面図である。

**【図 2 8】**

本発明の一実施の形態の他の半導体装置（HBT）を示す基板の要部平面図である。

**【図 2 9】**

本発明の一実施の形態の他の半導体装置（HBT）を示す基板の要部平面図である。

**【符号の説明】**

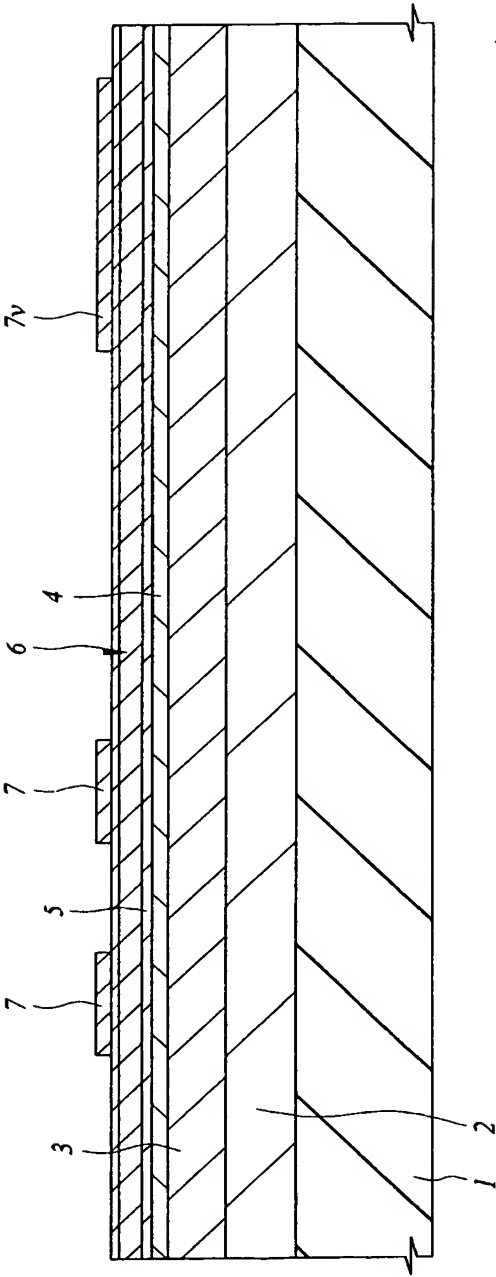
- 1 基板（半絶縁性GaAs基板）
- 2 n<sup>+</sup>型GaAs層（サブコレクタ層）
- 3 n型GaAs層（コレクタ層）
- 4 p型GaAs層（ベース層）
- 4a ベースメサ
- 5 n型InGaP（エミッタ層）
- 6 上部エミッタ層

7 エミッタ電極  
7 v、17 v 裏面ビア電極  
8 ベース電極  
9 積層膜 (AuGe/Ni/Au)  
9 a コレクタ電極  
13 a 絶縁膜  
13 b 絶縁膜  
13 c 絶縁膜  
13 d 絶縁膜  
20 a、20 b 接続部 (切り欠き部)  
40 裏面電極  
BMA ベースメサ形成領域  
C コンタクト部  
F サイドエッチング部  
M1 b ベース引き出し配線 (第1層配線)  
M1 c コレクタ引き出し配線 (第1層配線)  
M1 e エミッタ引き出し配線 (第1層配線)  
M1 v 第1層配線  
M2 e エミッタ引き出し配線 (第2層配線)  
OA1 領域  
OA2 開口部  
R レジスト膜  
VH ビアホール

【書類名】 図面

【図 1】

図 1



【図 2】

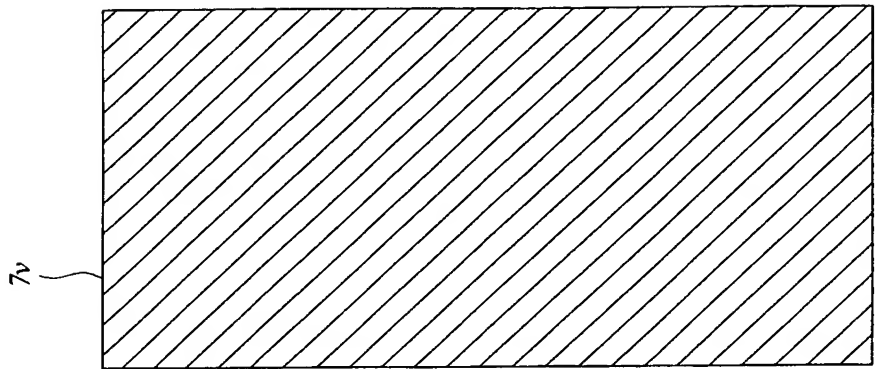
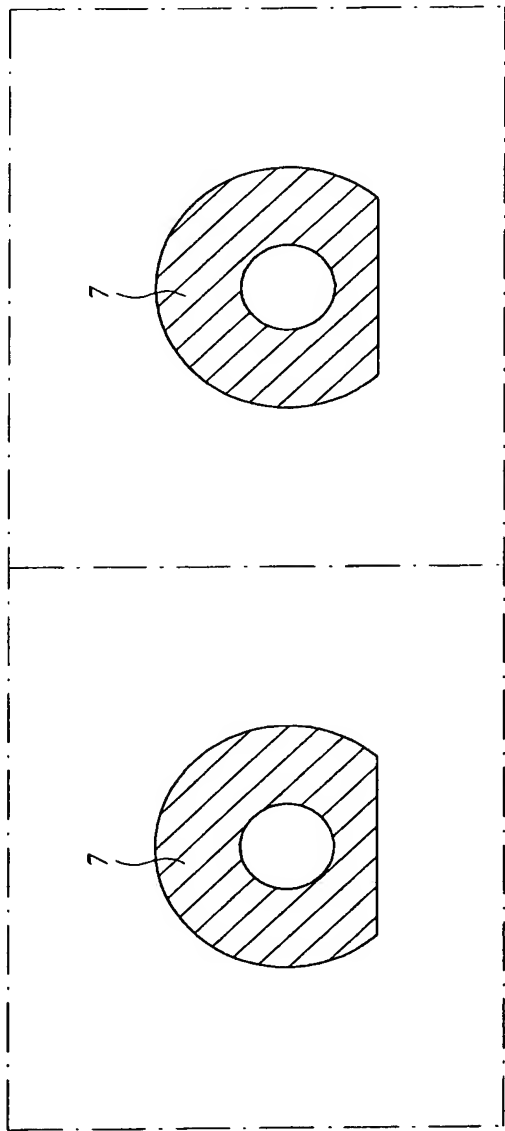
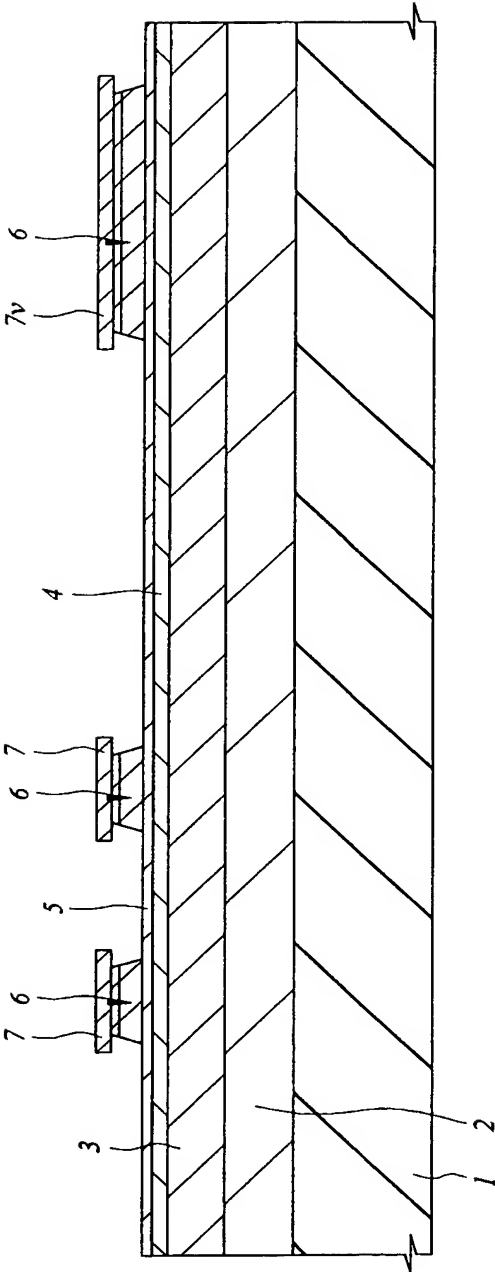


図 2



【図 3】

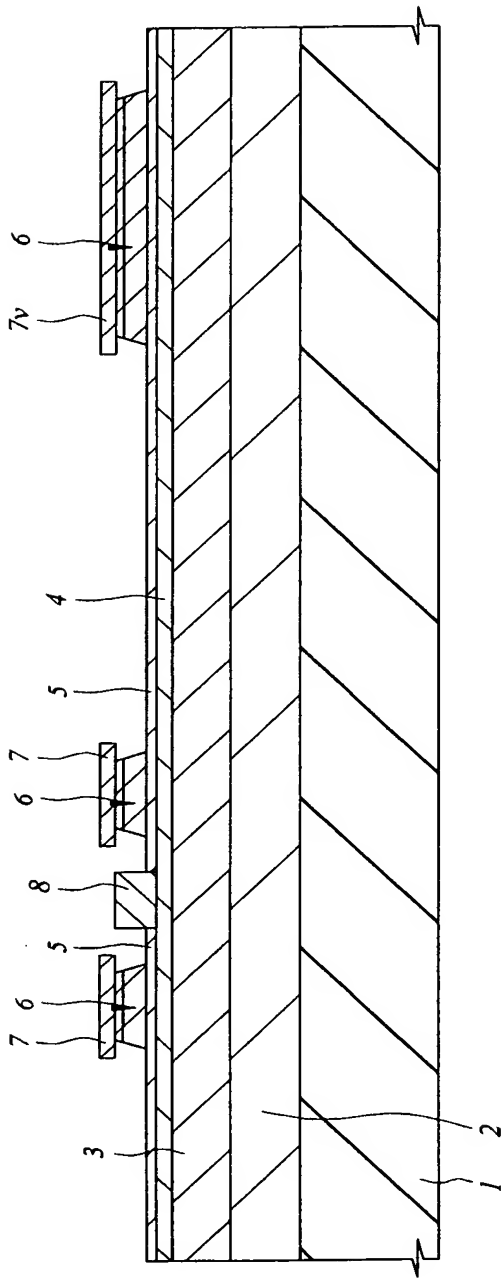
図 3



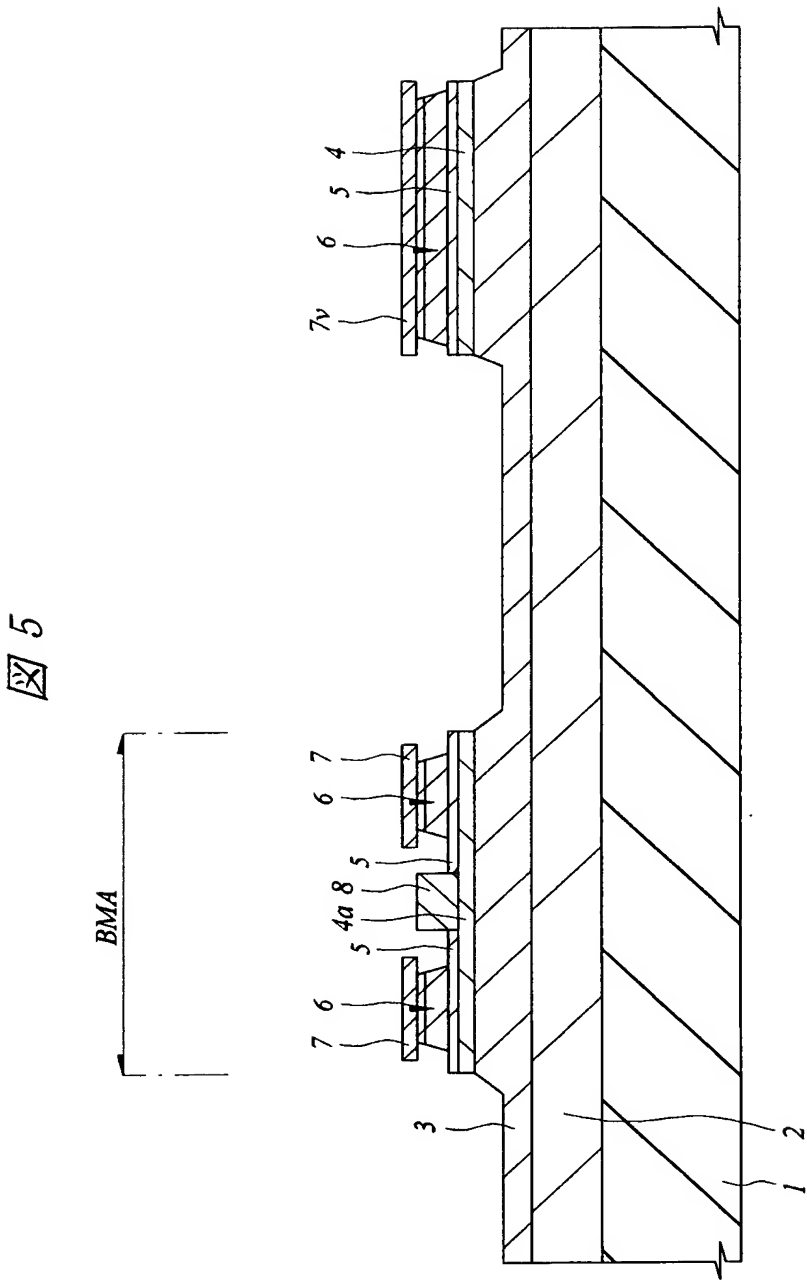


【図 4】

図 4



【図 5】



【図 6】

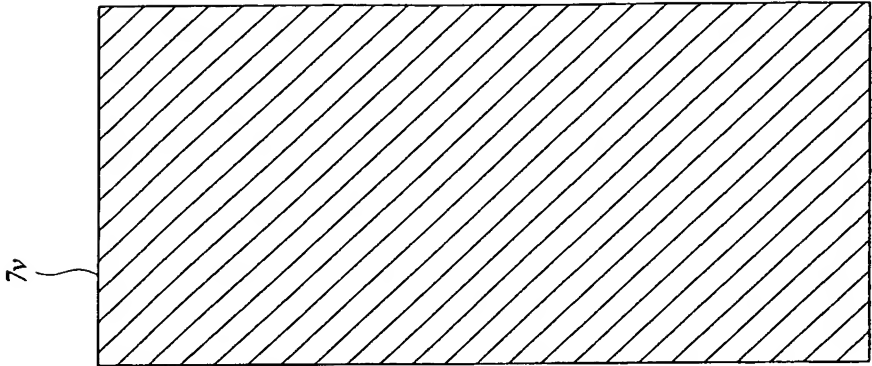
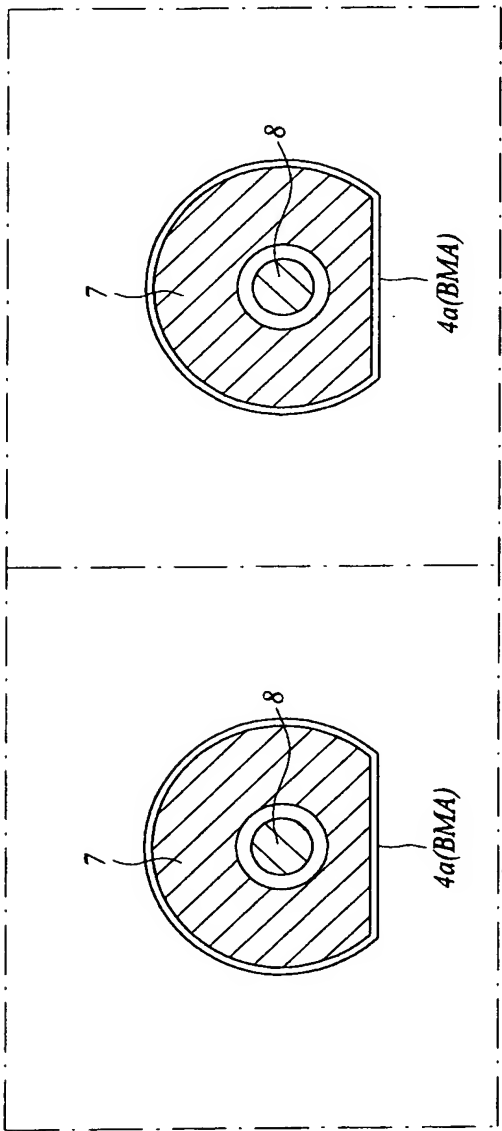
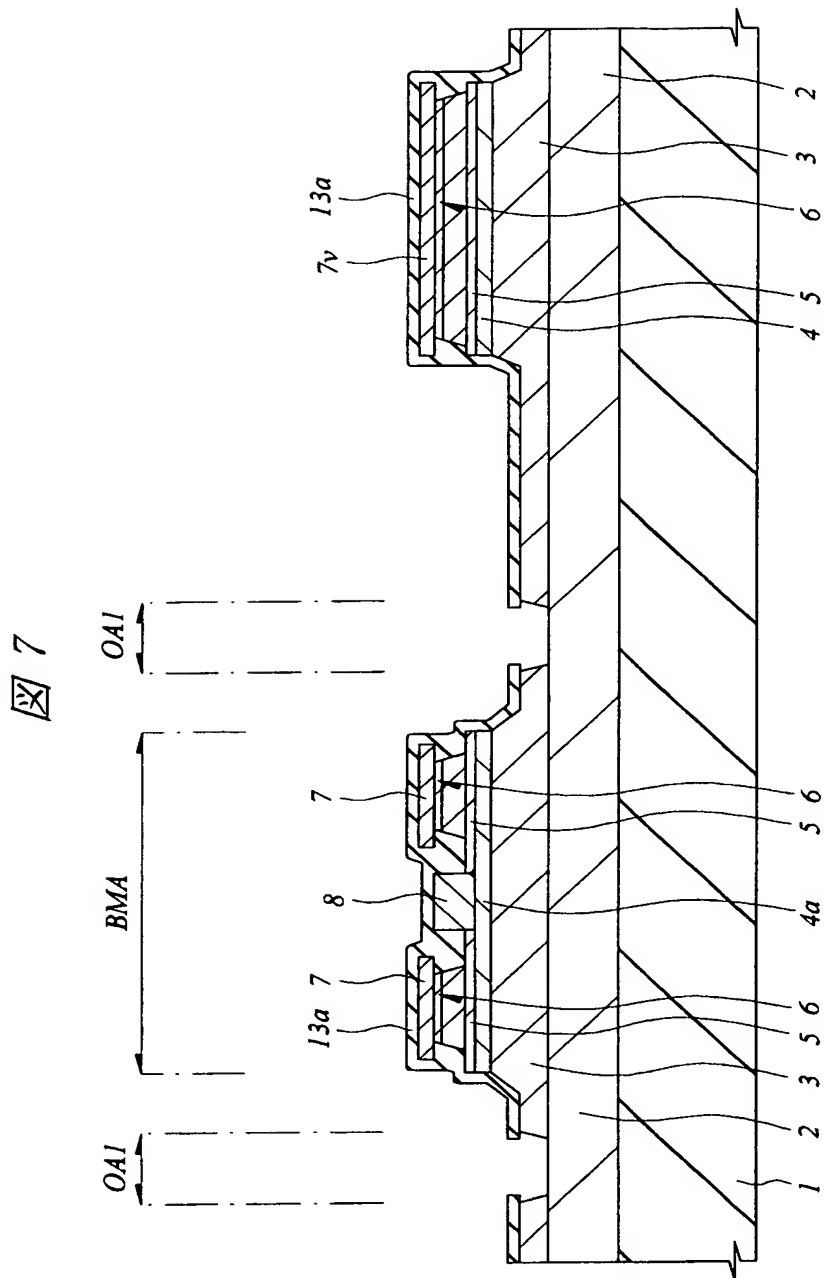


図 6

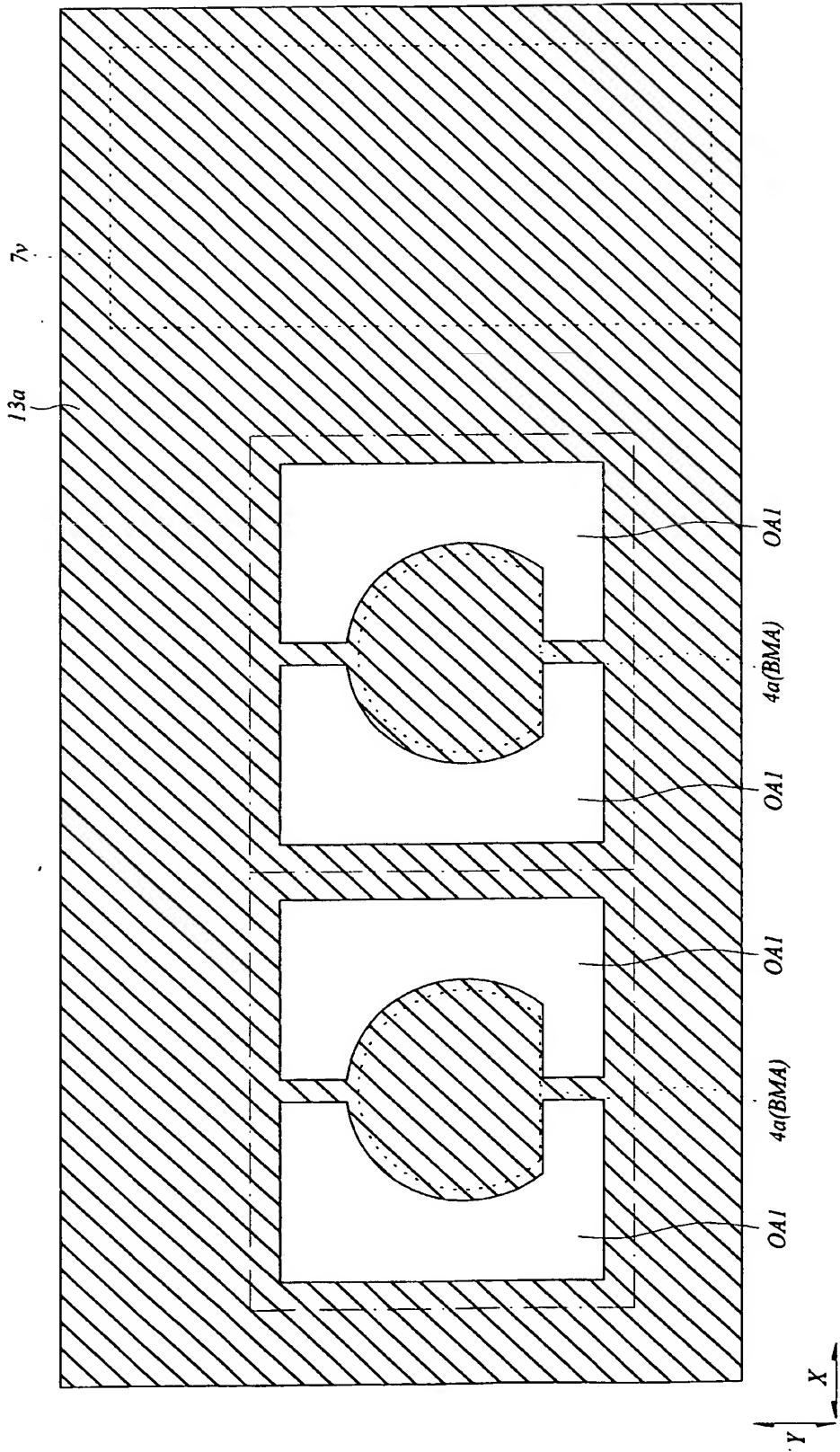


【図 7】

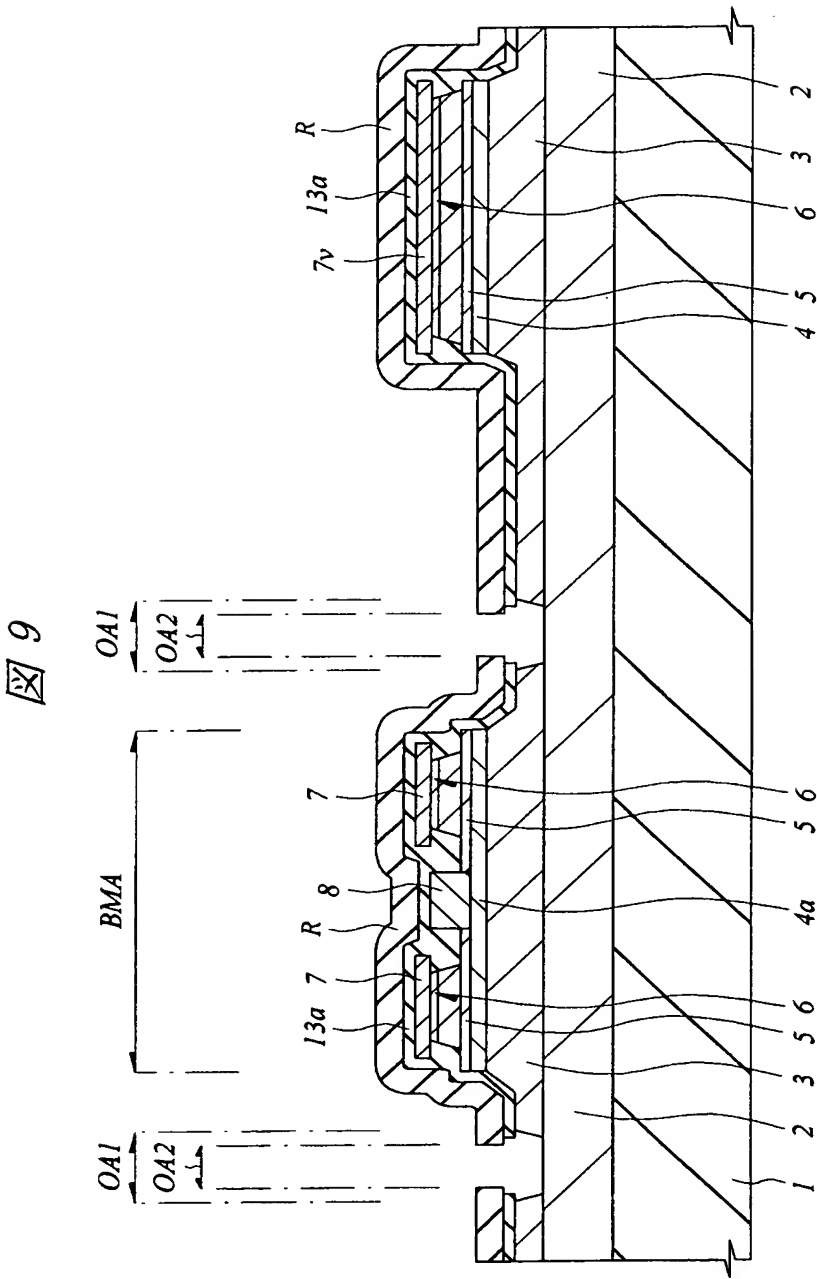


【図 8】

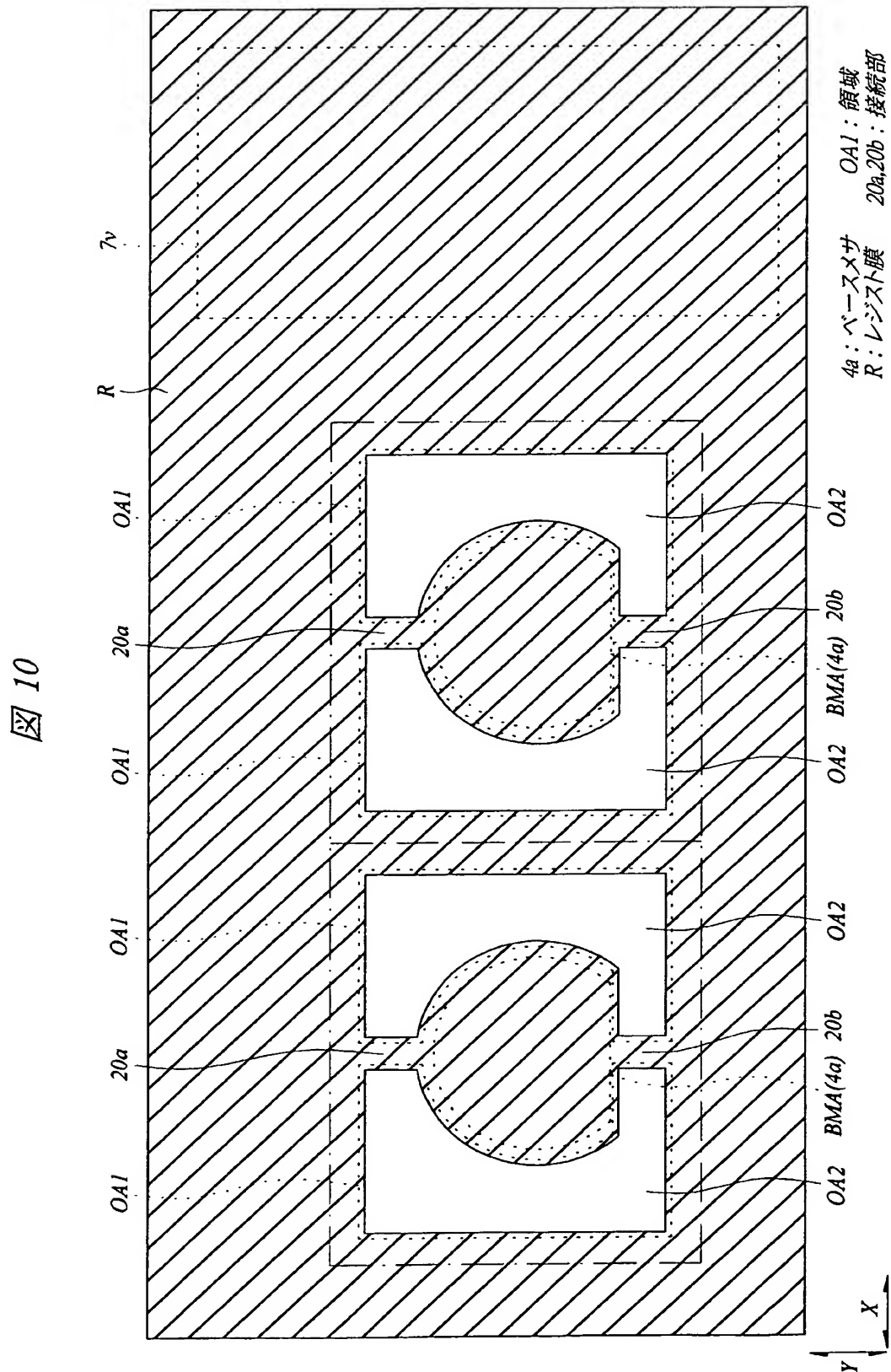
図 8



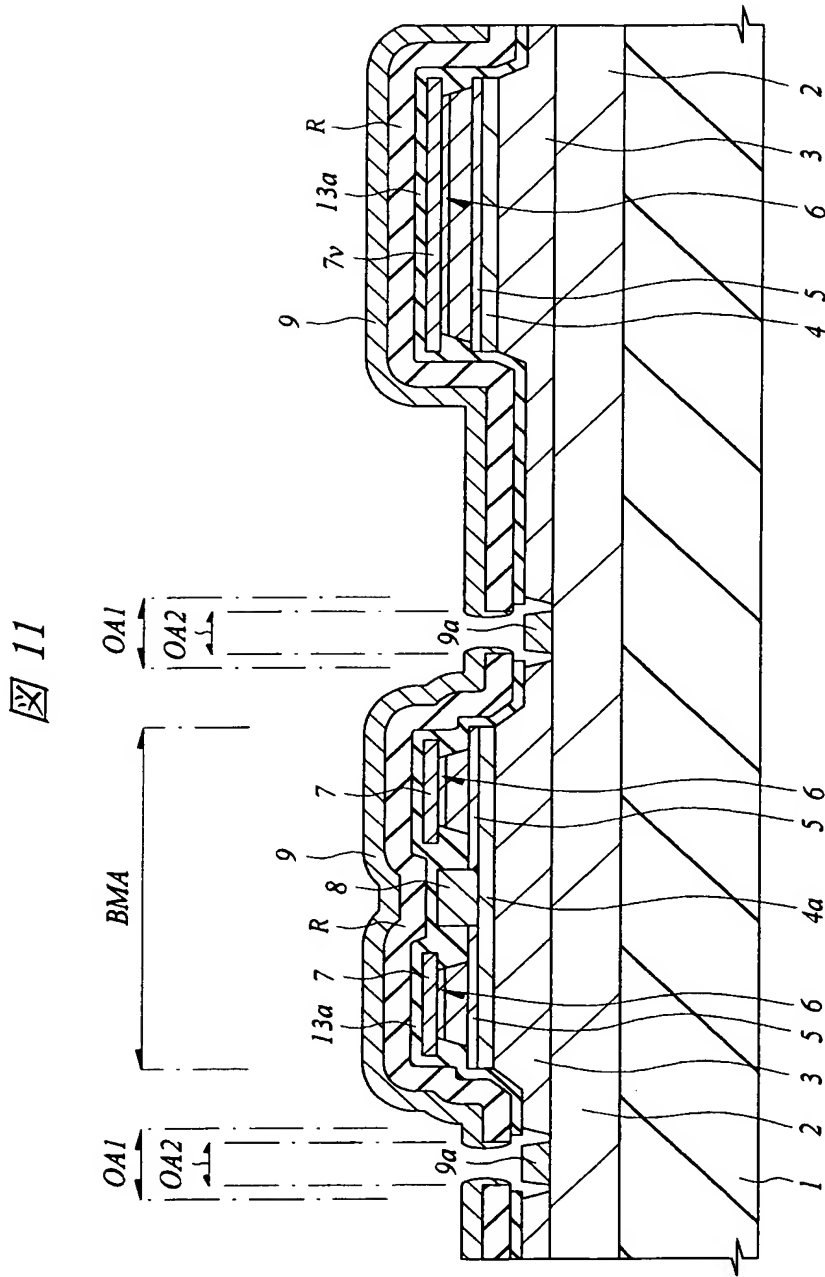
【図 9】



【図 10】



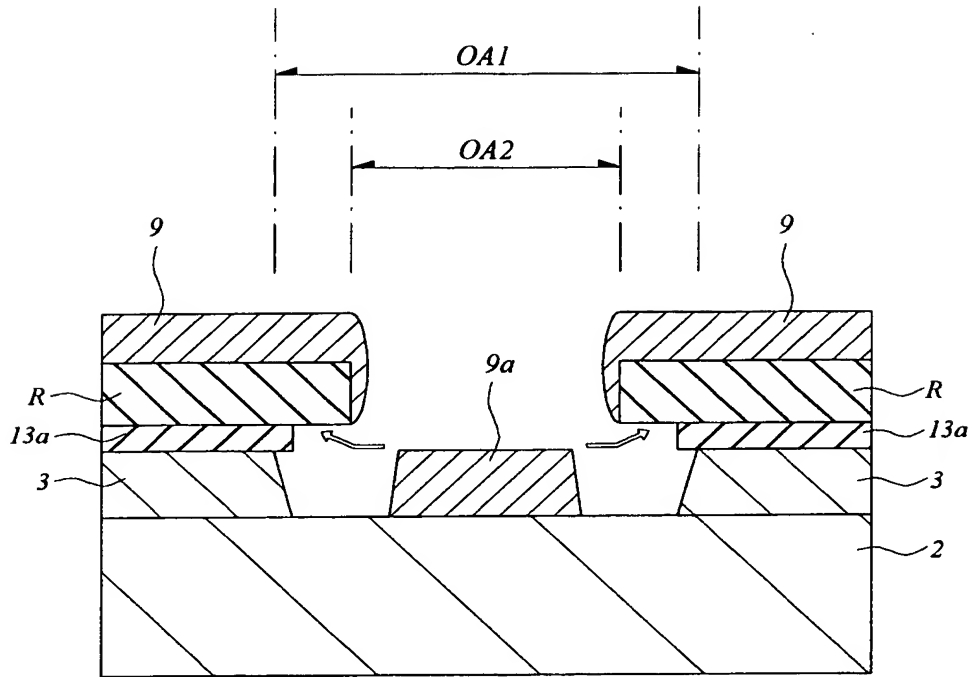
【図 11】





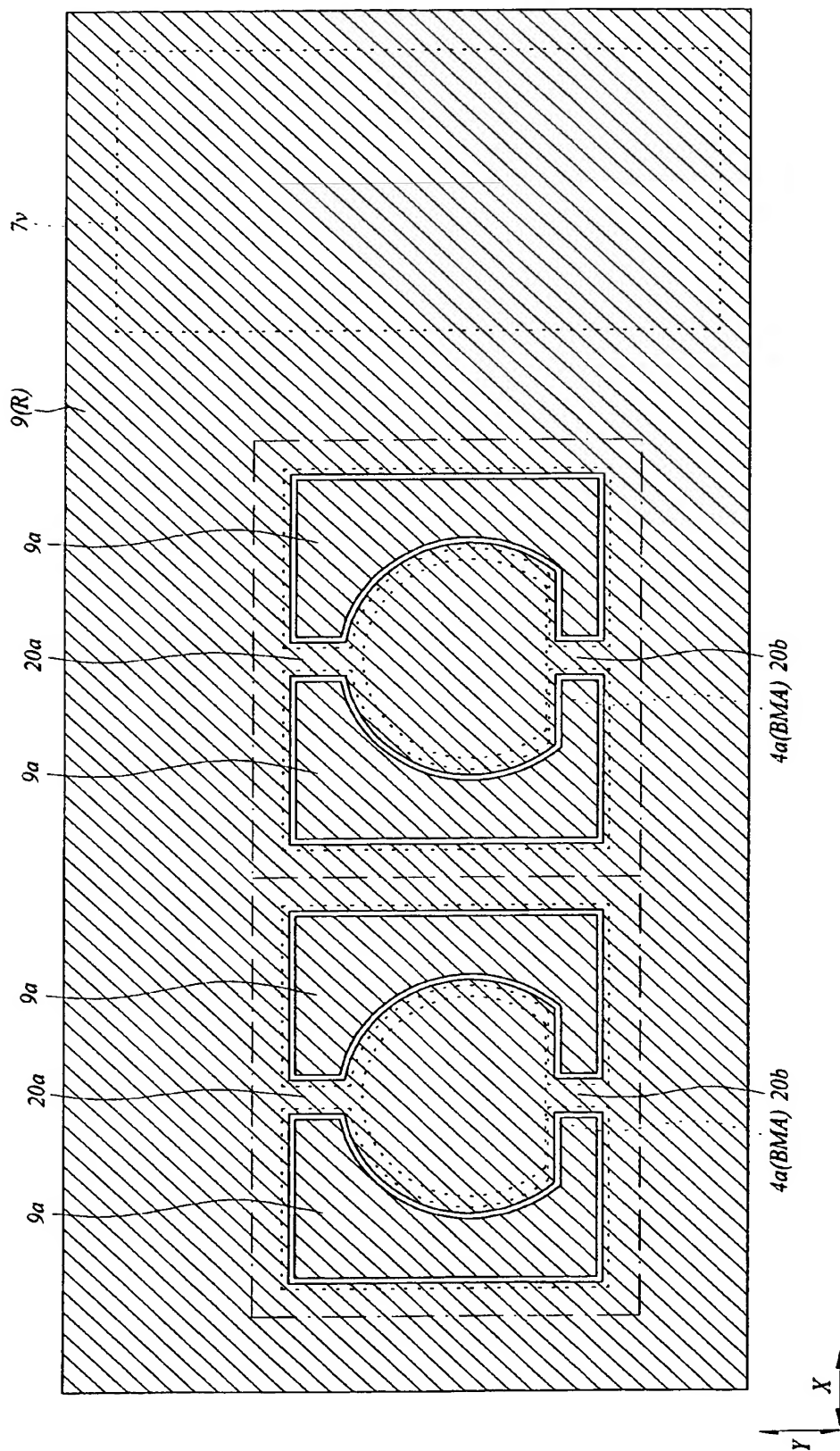
【図 12】

図 12



【図 13】

図 13



【図 14】

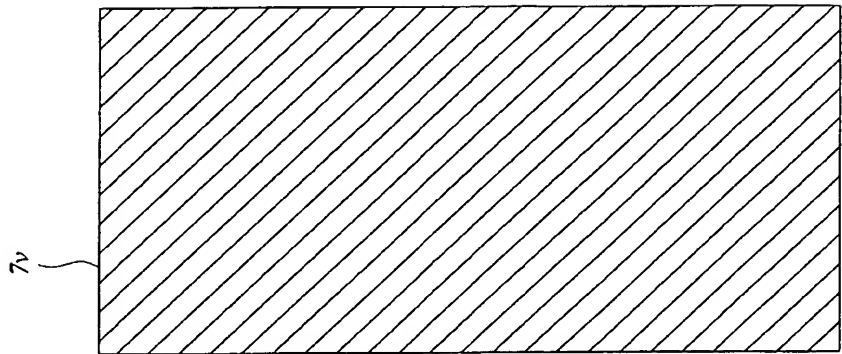
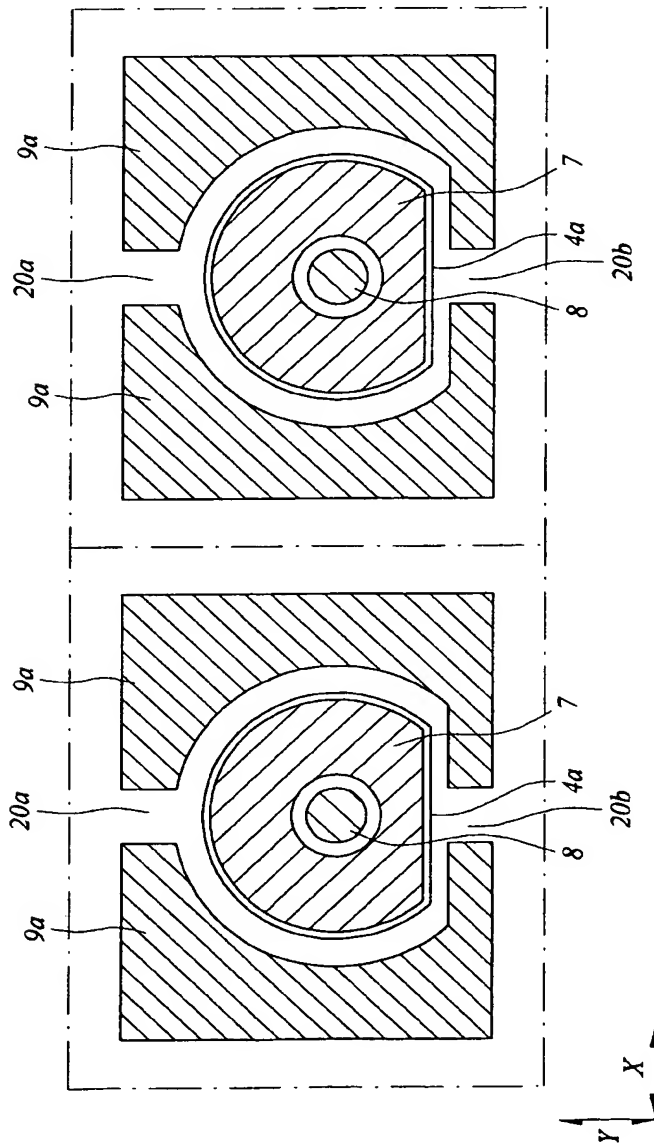
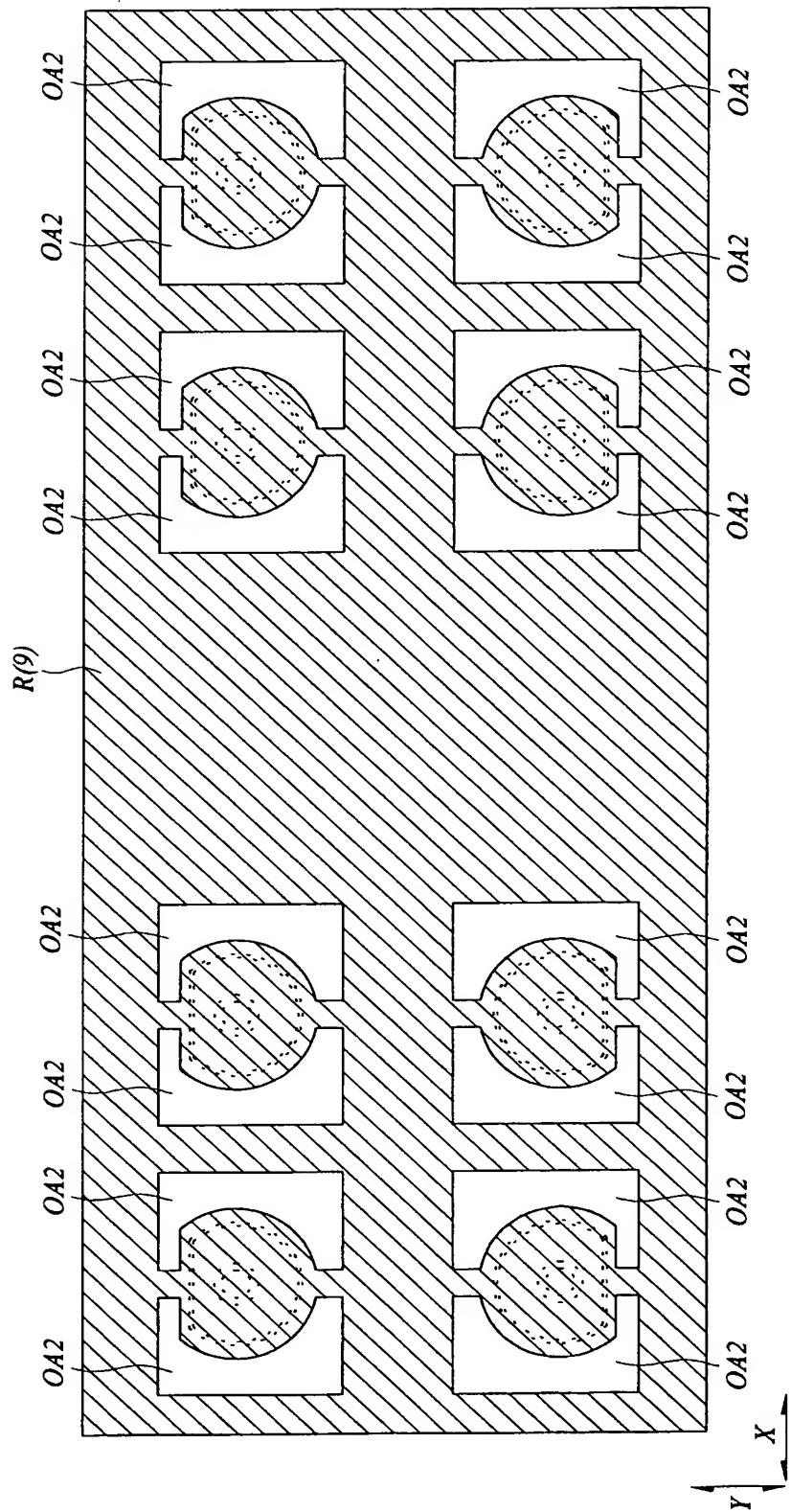


図 14



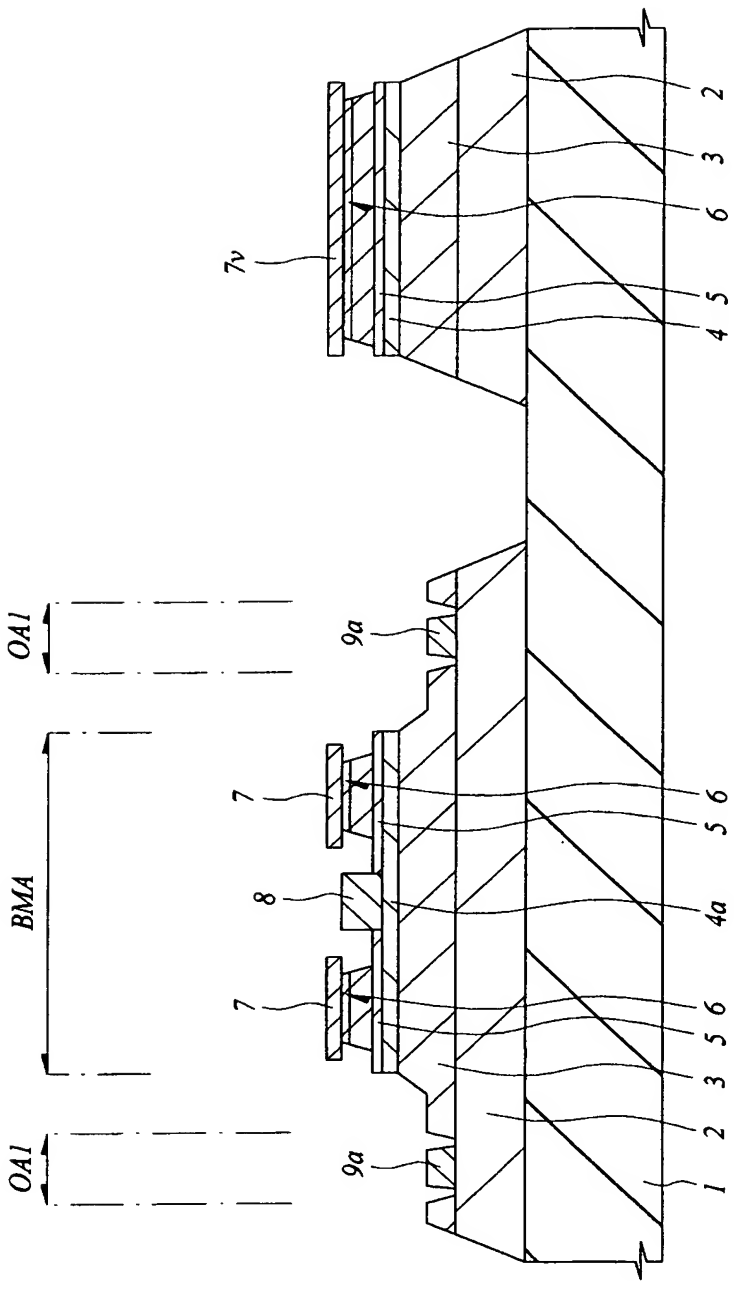
【図 15】

図 15

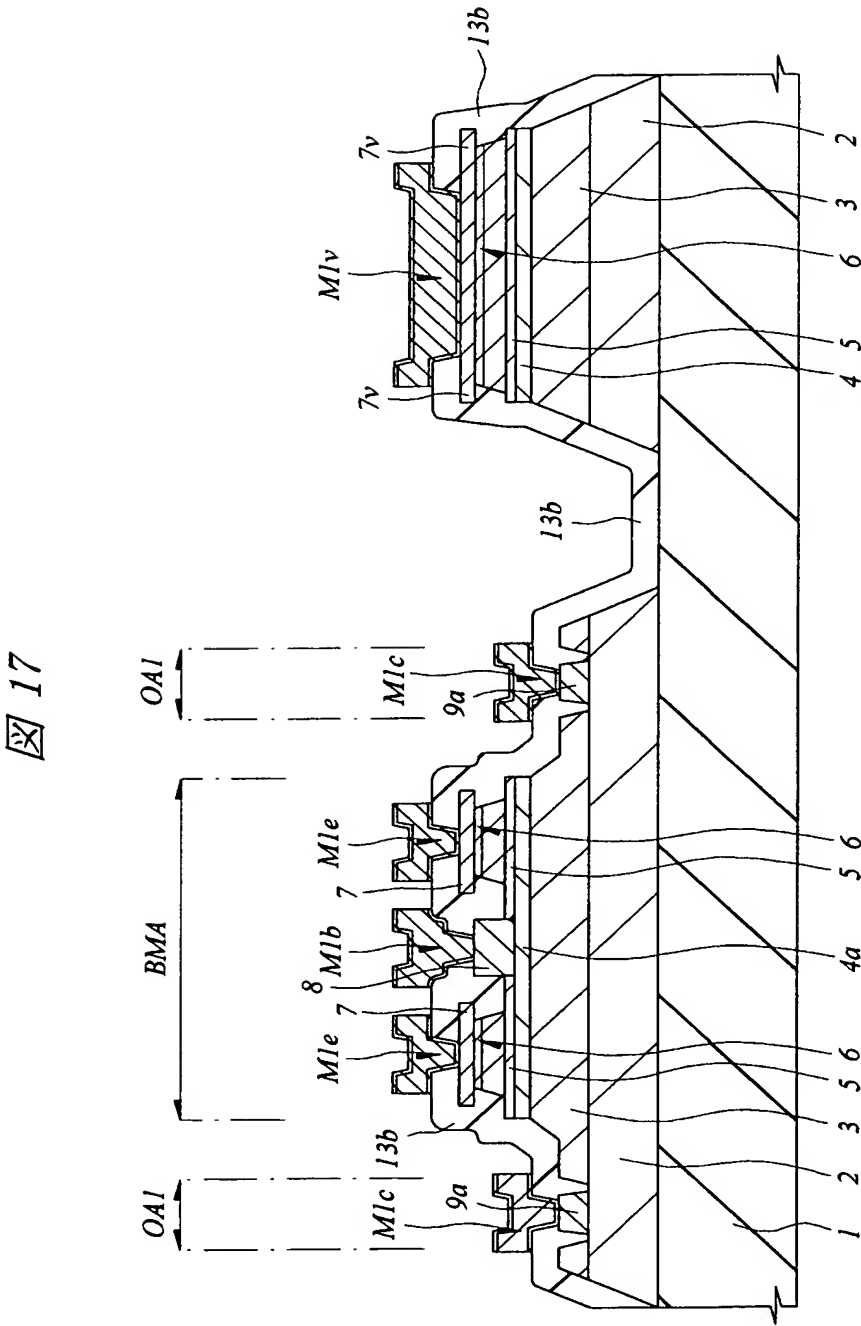


【図 16】

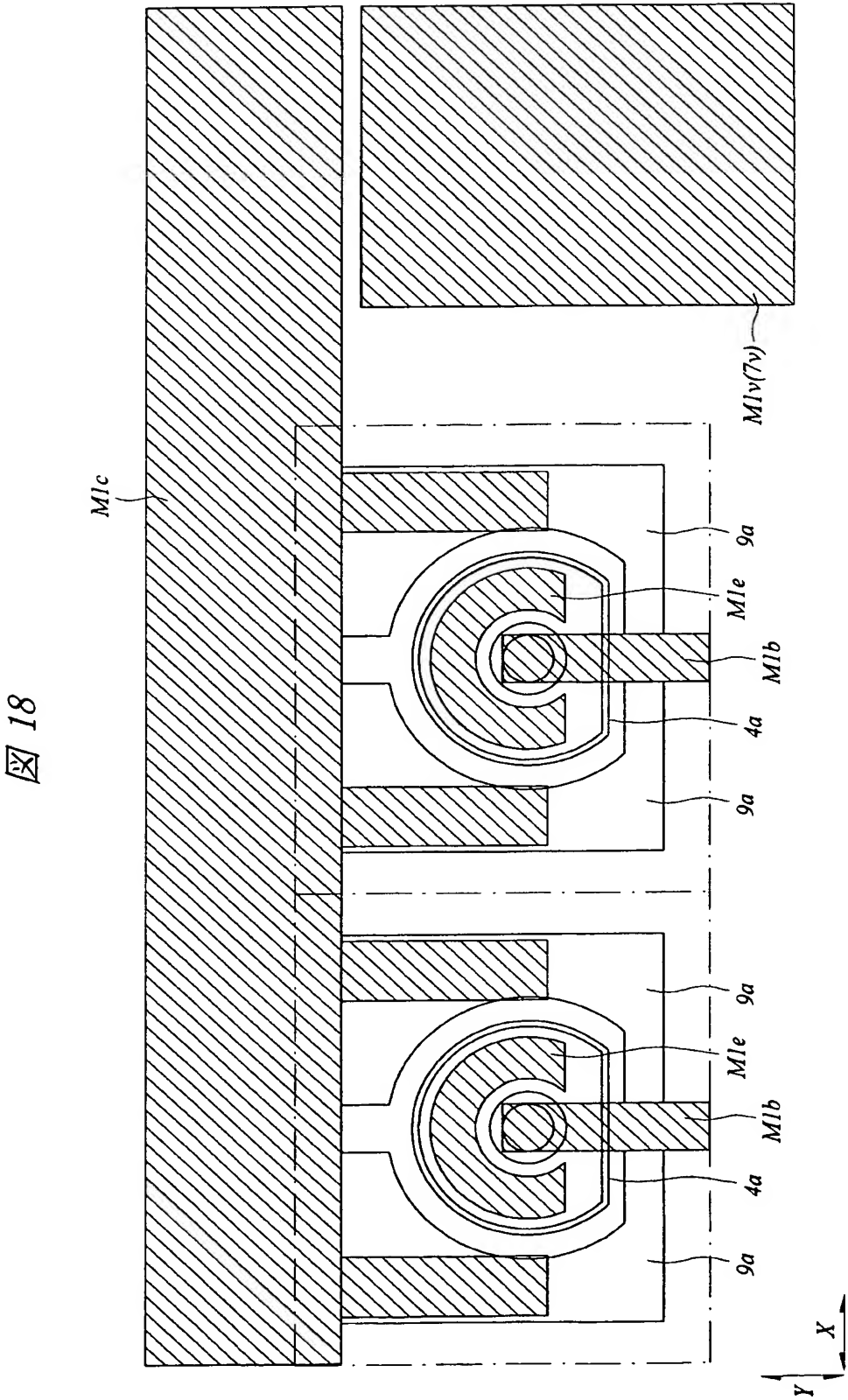
図 16



【図 17】

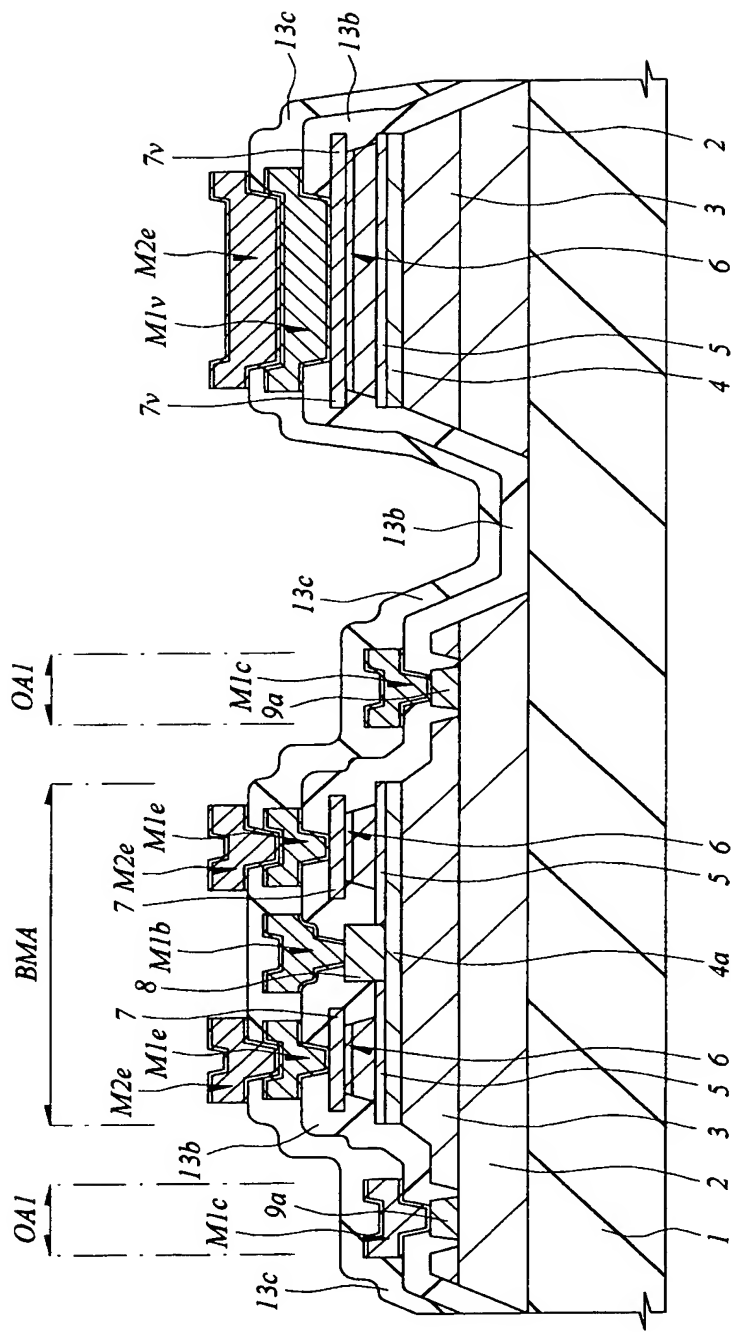


【図 18】



【図 19】

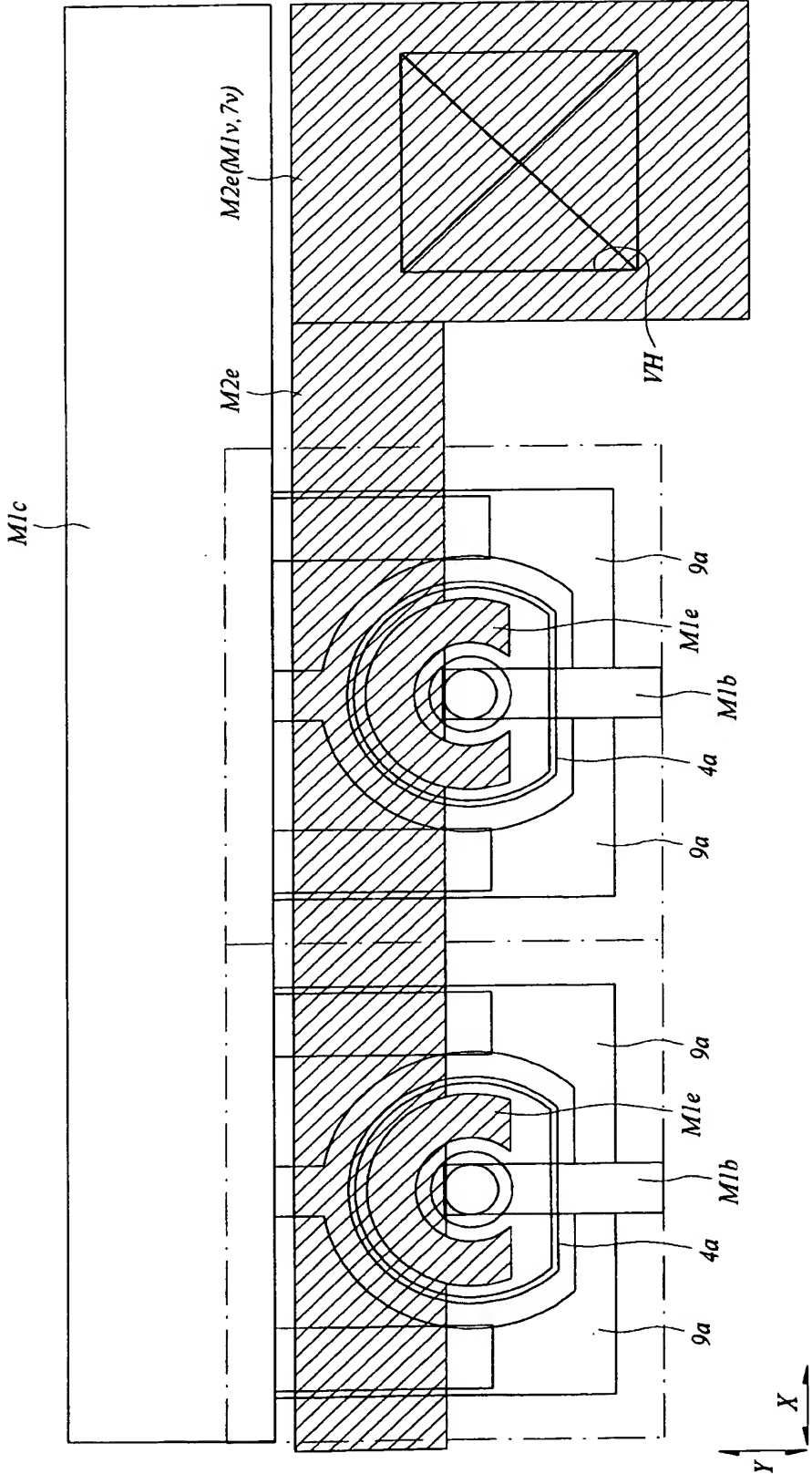
図 19



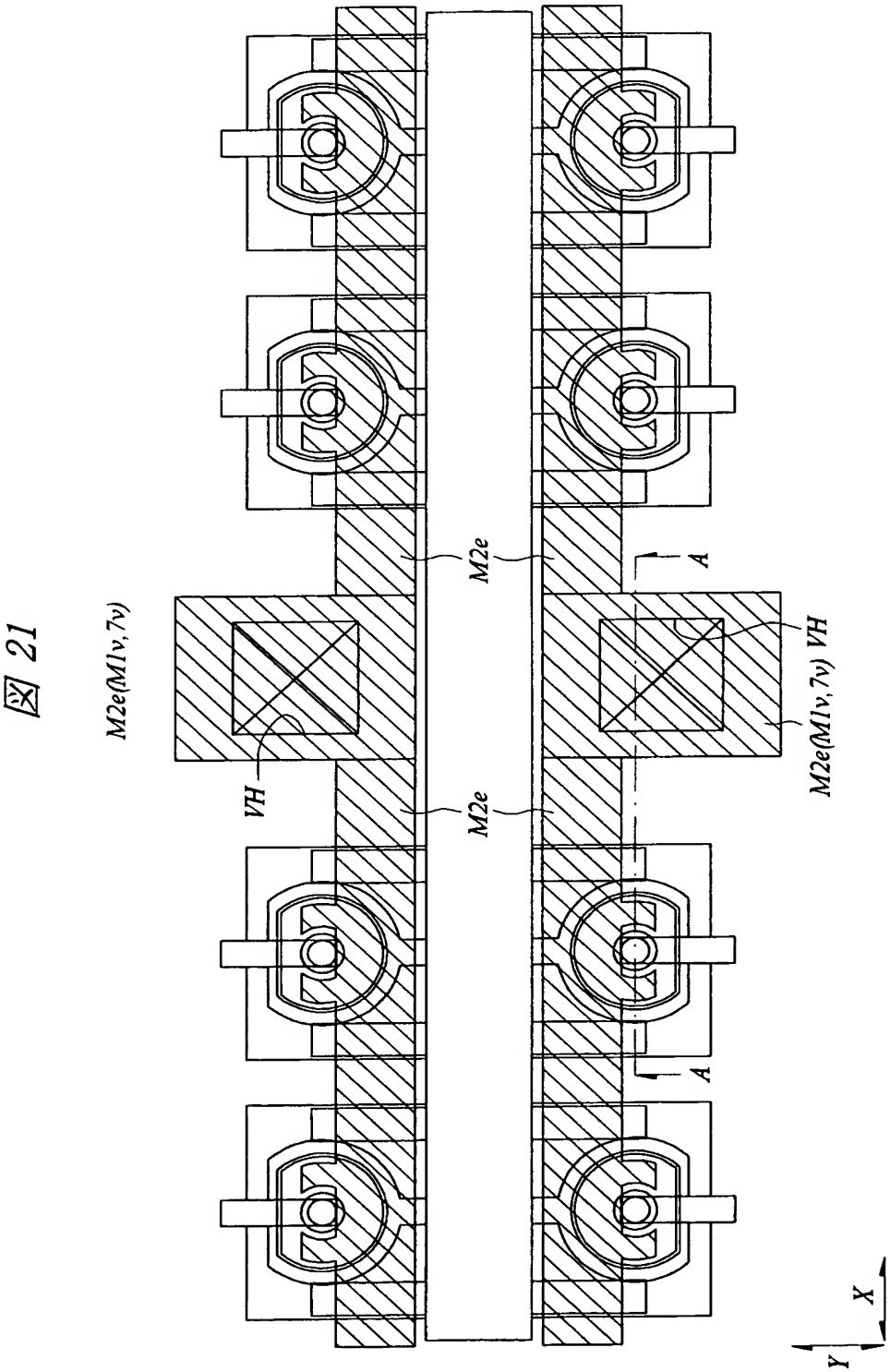


【図 20】

図 20

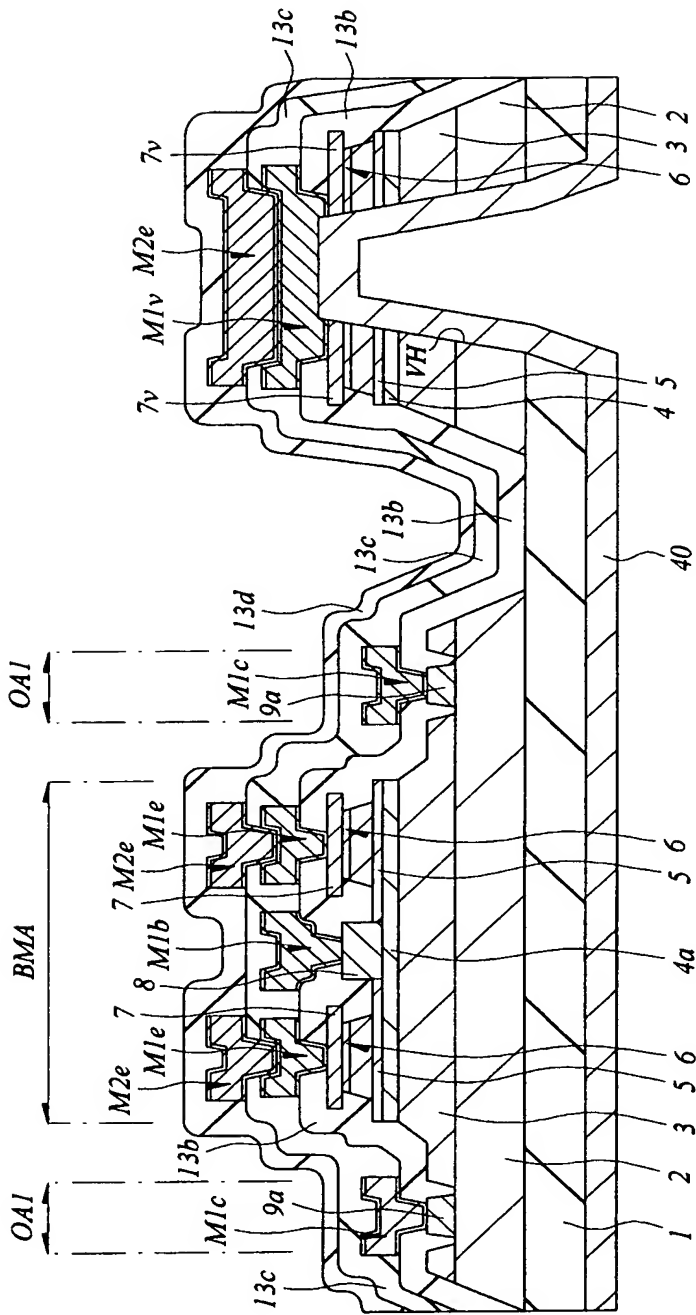


【図 21】

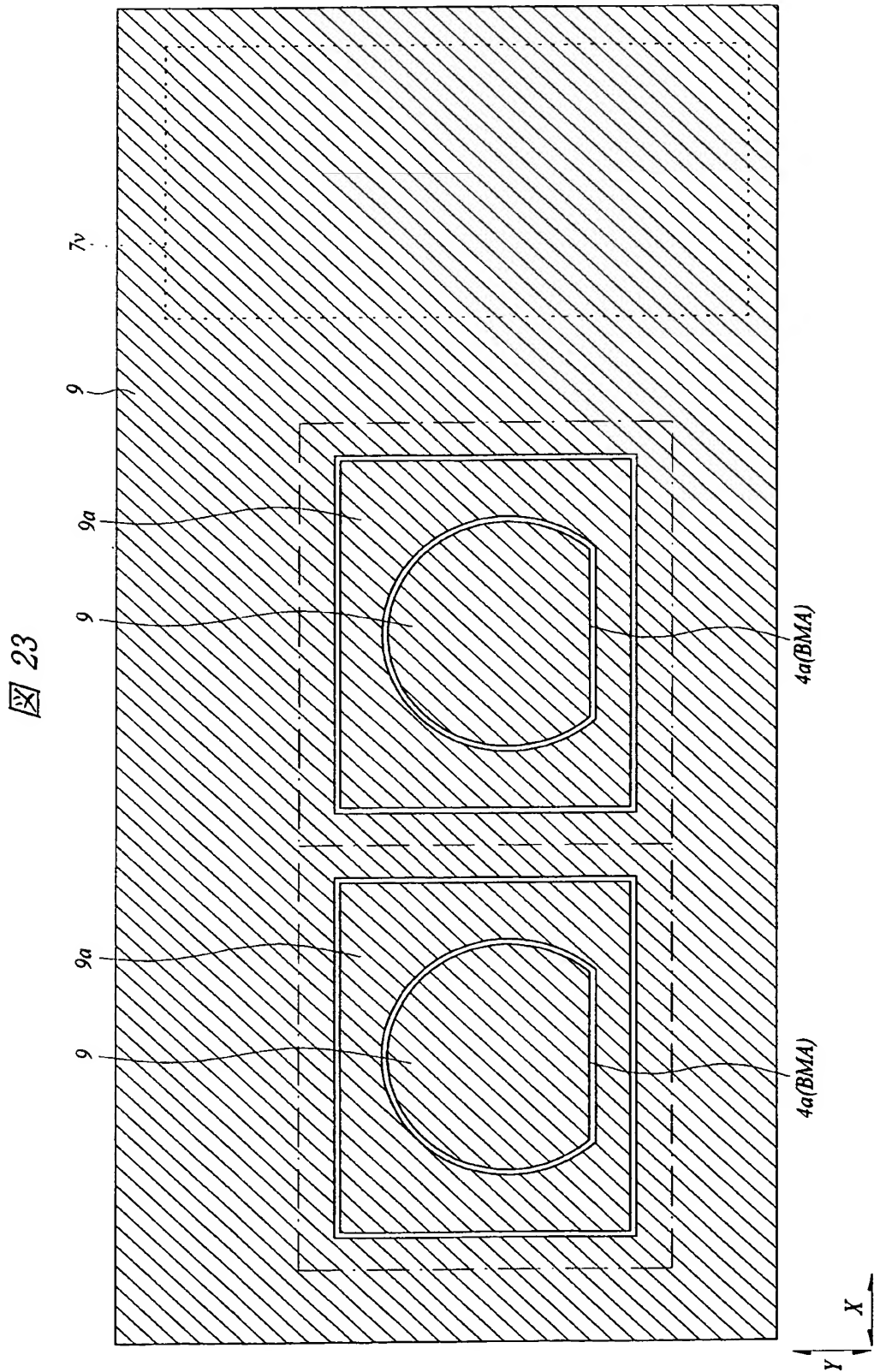


【図 22】

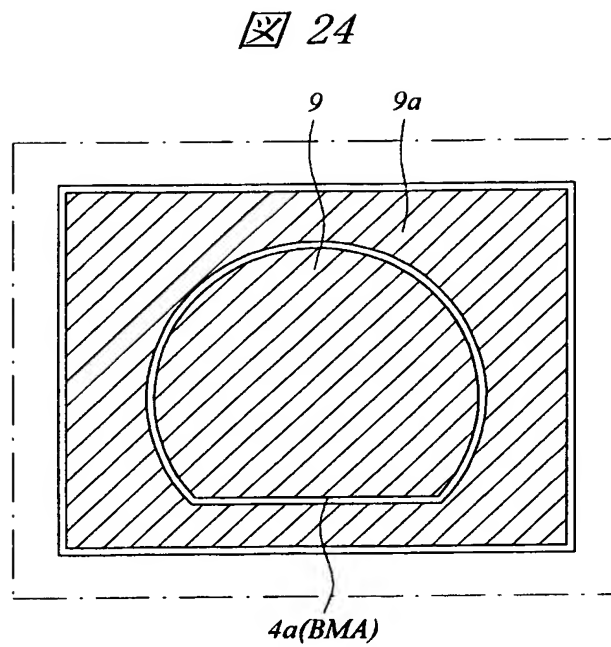
図 22



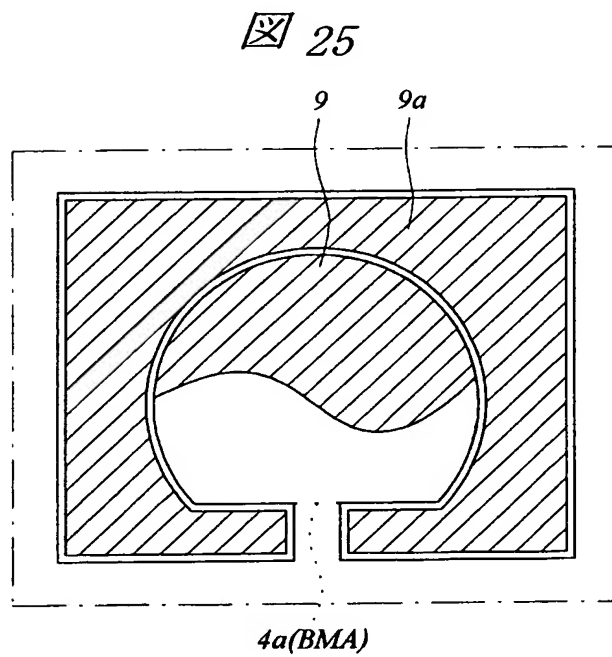
【図 23】



【図 24】

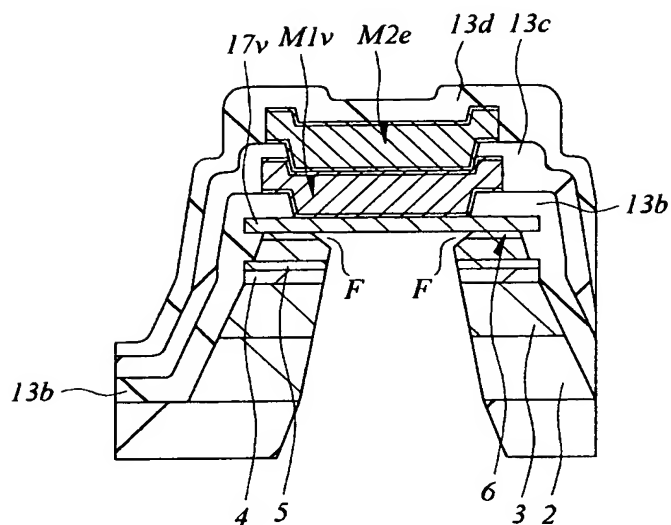


【図 25】



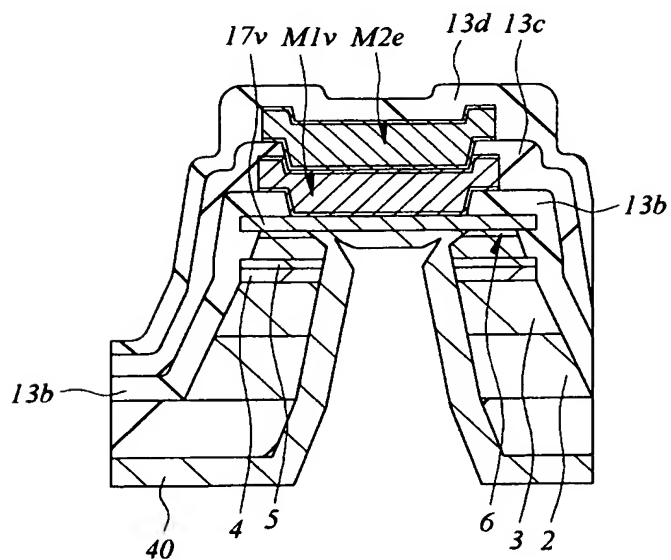
【図 26】

図 26



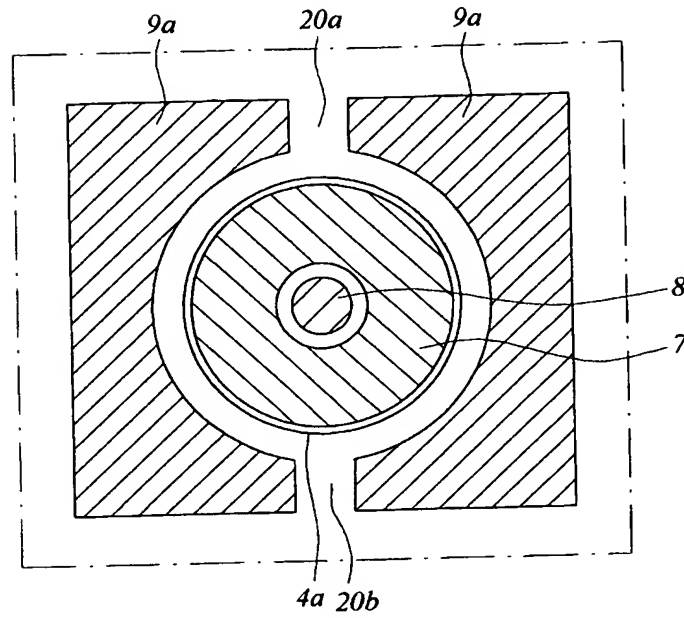
【図 27】

図 27



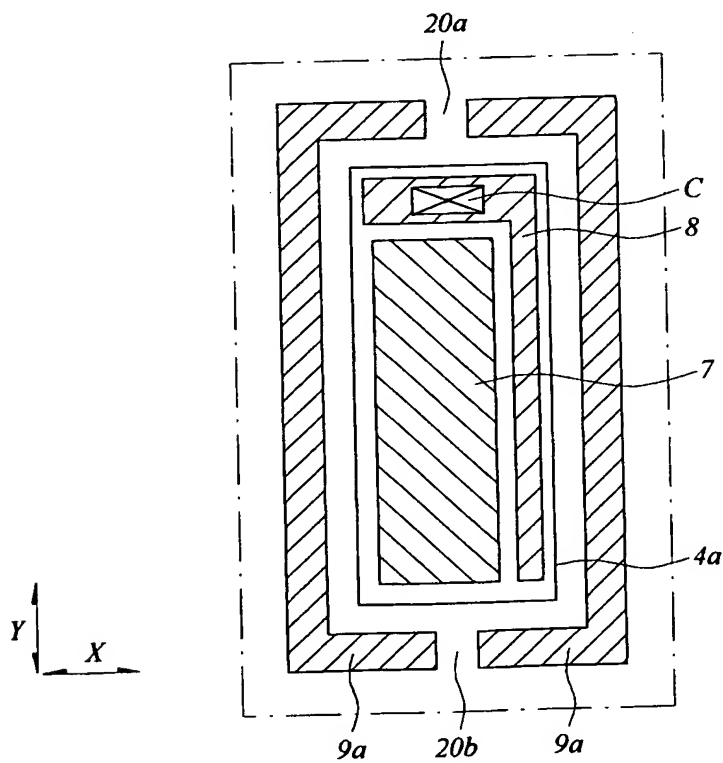
【図 28】

図 28



【図 29】

図 29



【書類名】 要約書

【要約】

【課題】 バイポーラトランジスタの特性を向上させる技術を提供する。

【解決手段】 ベースメサ 4 a の周囲にリフトオフ法でコレクタ電極を形成する際、領域 O A 1 の外周とベースメサ 4 a が形成された領域との接続部 2 0 a 、 2 0 b 上にもレジスト膜 R を形成し、その後、基板の全面に下層から金ゲルマニウム ( A u G e ) 、ニッケル ( N i ) および A u を順次形成し、ベースメサ 4 a 上のこれらの積層膜が孤立パターンとならないようにする。その結果、ベースメサ 4 a 上の積層膜が、領域 O A 1 の外周部の積層膜と連結され、ベースメサ 4 a 上の積層膜が剥離しやすくなる。また、 n 型 G a A s 層や n 型 I n G a A s 層と反応し難い W S i 等の材料を用いて裏面ビア電極を形成することにより、基板の裏面から裏面ビア電極に到達するビアホールを形成する際のサイドエッチングの発生を低減する。

【選択図】 図 1 0



【書類名】 出願人名義変更届（一般承継）  
【整理番号】 H03000191  
【提出日】 平成16年 3月 9日  
【あて先】 特許庁長官殿  
【事件の表示】  
    【出願番号】 特願2003- 84220  
【承継人】  
    【識別番号】 503121103  
    【氏名又は名称】 株式会社ルネサステクノロジ  
【承継人代理人】  
    【識別番号】 100080001  
    【弁理士】  
    【氏名又は名称】 筒井 大和  
【提出物件の目録】  
    【包括委任状番号】 0308729  
    【物件名】 承継人であることを証明する登記簿謄本 1  
    【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4  
月 1 1 日付け提出の会社分割による特許権移転登録申請書を援用  
する。

特願 2 0 0 3 - 0 8 4 2 2 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所



特願 2 0 0 3 - 0 8 4 2 2 0

出 願 人 履 歴 情 報

識別番号 [ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日	2 0 0 3 年 4 月 1 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目 4 番 1 号
氏 名	株式会社ルネサステクノロジ